

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-192043

(43) 公開日 平成7年(1995)7月28日

(51) Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

F I

技術表示箇所

G 0 6 F 17/50

G 0 1 R 31/28

H 0 1 L 21/82

7623-5L

G 0 6 F 15/60

3 7 0 P

G 0 1 R 31/28

V

審査請求 未請求 請求項の数15 O L (全 21 頁) 最終頁に続く

(21) 出願番号 特願平6-21445

(22) 出願日 平成6年(1994)2月18日

(31) 優先権主張番号 特願平5-195732

(32) 優先日 平5(1993)8月6日

(33) 優先権主張国 日本(J P)

(31) 優先権主張番号 特願平5-289010

(32) 優先日 平5(1993)11月18日

(33) 優先権主張国 日本(J P)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 吉田 久人

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 勝連 城二

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 吉本 哲朗

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74) 代理人 弁理士 前田 弘 (外2名)

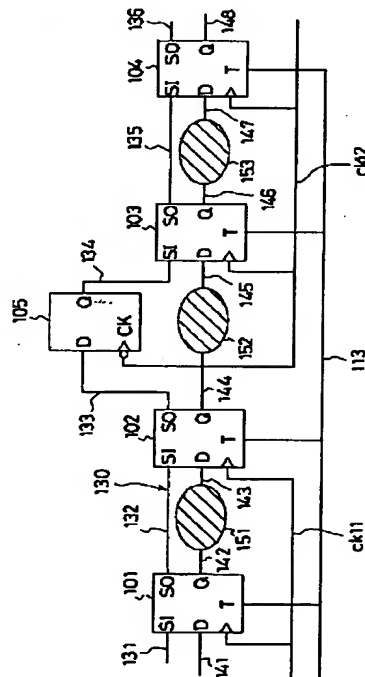
最終頁に続く

(54) 【発明の名称】 スキャンテスト回路の配置配線方法及びその配置配線装置並びに半導体集積回路

## (57) 【要約】

【目的】 スキャンテスト回路において、クロックスキューに起因するスキャンレジスタの誤動作（ミスラッチ）を防止する。

【構成】 スキャンテスト回路の配置配線を行う際、スキャンテストの対象となるフリップフロップ等のスキャンレジスタを含む回路要素の配置及び概略配線を行った後、配置配線されたスキャンレジスタのスキャンモード時におけるクロックのスキューによる誤動作を回避するための処理を行う。クロックのスキューによる誤動作を回避するための処理としては、例えばクロックスキューが所定以上となる2つのフリップフロップ間に逆位相フリップフロップを追加配置する。また、連続する2つのフリップフロップが異系統クロックで制御される場合にも、逆位相フリップフロップを追加配置する。これにより、各フリップフロップにおける信号の保持状態を適正に維持してミスラッチを回避する。



## 【特許請求の範囲】

【請求項 1】 スキャンテストの対象となるスキャンレジスタを含む回路要素の配置を行うステップと、上記各回路要素間における概略配線を行うステップと、上記配置配線されたスキャンレジスタのスキャンモード時におけるクロックのスキューによる誤動作を回避するための処理を行うステップとを備えたことを特徴とするスキャンテスト回路の配置配線方法。

【請求項 2】 スキャンテストの対象となるスキャンレジスタを含む回路要素の配置を行うステップと、上記各回路要素間における概略配線を行うステップと、上記概略配線された回路内におけるクロックのスキューが所定値以上になる箇所を検出するステップと、上記クロックのスキューが所定値以上になる箇所について、クロックのスキューによるスキャンモード時の誤動作を回避するための回路の配置、配線を行うステップとを備えたことを特徴とするスキャンテスト回路の配置配線方法。

【請求項 3】 請求項 2 記載のスキャンテスト回路の配置配線方法において、スキャンレジスタとしてフリップフロップを配置し、上記クロックのスキューが所定値以上になる箇所を検出するステップは、配置配線情報に基づく上記フリップフロップのスキャンチェーン上での接続順序を仮に決定するステップと、スキャンチェーン上で仮に決定されたスキャン順序において連続するフリップフロップのクロックスキューを求めめるステップと、上記求められたクロックスキューが所定値以上となる 2 つのフリップフロップの組み合わせを抽出するステップとからなり、上記クロックスキューを回避する処理を行うステップは、スキャンモード時に上記ステップで抽出された 2 つのフリップフロップの少なくともいずれか一方が制御されるクロックの逆位相で動作するフリップフロップを回路に追加配置するステップと、上記追加されたフリップフロップのスキャンチェーン上での接続位置が上記抽出された 2 つのフリップフロップの間になるよう接続順序の再決定を行うステップと、上記再決定された接続順序に従ってスキャンチェーンの配線を行うステップとからなることを特徴とするスキャンテスト回路の配置配線方法。

【請求項 4】 請求項 3 記載のスキャンテスト回路の配置配線方法において、上記クロックスキューが所定値より大きい 2 つのフリップフロップの組合せを抽出するステップは、クロック発生源から各フリップフロップまでの遅延値列を配線の長さ及び断面積に基づき求め、 $n$  番目のフリップフロップの遅延値から  $(n+1)$  番目のフリップフロ

ップの遅延値を減じた値に  $(n+1)$  番目のフリップフロップのホールド時間を加算した値と、 $(n+1)$  番目のフリップフロップの無負荷遅延値とを比較して、無負荷遅延値の方が大きくない場合にエラー箇所として検出することを特徴とするスキャンテスト回路の配置配線方法。

【請求項 5】 請求項 1 記載のスキャンテスト回路の配置配線方法において、

上記スキャンテストの対象となる回路には、複数のクロック系統が設けられており、スキャンレジスタとしてフリップフロップを配置し、配置配線情報に基づく上記フリップフロップのスキャンチェーン上での接続順序を仮に決定するステップと、スキャンチェーン内で連続かつ制御されるクロックの系統が異なる 2 つのフリップフロップの組み合わせを抽出するステップとを備え、

上記クロックスキューを回避する処理を行なうステップは、

スキャンモード時に上記ステップで抽出された 2 つのフリップフロップのどちらか一方が制御されるクロックの逆位相で動作するフリップフロップを回路に追加配置するステップと、

上記追加されたフリップフロップのスキャンチェーン上での接続順序を上記抽出された 2 つのフリップフロップの間になるよう接続順序の再決定を行うステップと、上記再決定された接続順序に従ってスキャンチェーンの配線を行うステップとからなることを特徴とするスキャンテスト回路の配置配線方法。

【請求項 6】 請求項 1 記載のスキャンテスト回路の配置配線方法において、

スキャンレジスタとしてフリップフロップを配置し、上記概略配線を行うステップの後に、配置配線情報に基づく上記フリップフロップのスキャンチェーン上での接続順序を仮に決定するステップを備え、

上記クロックスキューを回避するステップは、

スキャンチェーン上の一つおきのフリップフロップをスキャンモード時にクロックの逆位相で動作するフリップフロップに変更するステップと、上記決定されたスキャンチェーンの接続順序に従ってスキャンチェーンの配線を行うステップとからなることを特徴とするスキャンテスト回路の配置配線方法。

【請求項 7】 請求項 1 記載のスキャンテスト回路の配置配線方法において、

上記クロックスキューを回避する処理を行うステップは、

配置配線情報に基づき、クロック発生源から各スキャンレジスタへの遅延時間を計算するステップと、上記遅延時間の相対関係によって上記スキャンレジスタ間の半順序関係を定義するステップと、上記半順序関係に違反しないと言った制約のもとに配置

配線の評価値を最適化するように上記スキャンレジスタ間の全順序関係を求めるステップと、

上記全順序関係に基づき上記スキャンレジスタ間の概略配線の経路を求めるステップと、

詳細配線を実行するステップとからなることを特徴とするスキャンテスト回路の配置配線方法。

【請求項 8】 請求項 7 記載のスキャンテスト回路の配置配線方法において、

スキャンレジスタとしてフリップフロップを配置し、上記クロックスキューを回避する処理を行うステップは、

上記全順序に従って連続する 2 つのフリップフロップのクロックのスキューがある値より大きい箇所を検出するステップと、

上記検出された 2 つのフリップフロップのどちらか一方のクロックの逆位相で動作するフリップフロップを追加配置するステップと、

上記追加された逆位相で動作するフリップフロップを含めたスキャン順序に基づき、スキャンチェーンの配線を行うステップとをさらに備えたことを特徴とする配置配線方法。

【請求項 9】 請求項 7 記載のスキャンテスト回路の配置配線方法において、

スキャンテストの対象となる回路には、複数のクロック系統が設けられており、

スキャンレジスタとしてフリップフロップを配置し、上記クロックスキューを回避する処理を行うステップは、

全順序が決定されたスキャンチェーン内で連続かつ制御されるクロックの系統が異なる 2 つのフリップフロップの組み合わせを抽出するステップと、

スキャンモード時に上記ステップで抽出された 2 つのフリップフロップのどちらか一方が制御されるクロックの逆位相で動作するフリップフロップを回路に追加配置するステップと、

上記追加されたフリップフロップのスキャンチェーン上での接続順序を上記抽出された 2 つのフリップフロップの間になるよう接続順序の再決定を行うステップと、

上記再決定された接続順序に従ってスキャンチェーンの配線を行うステップとをさらに備えたことを特徴とする配置配線方法。

【請求項 10】 請求項 1 記載のスキャンテスト回路の配置配線方法において、

上記クロックスキューを回避する処理を行うステップでは、

配置配線情報に基づき、クロック発生源からスキャンレジスタへの遅延時間と、スキャンチェーンにおける配線の遅延時間とを計算して、クロックのスキューがスキャン配線の遅延時間に比較して大きくなるスキャンレジスタのペアを求め、上記スキャンレジスタペア間の配置配

線を改善することを特徴とするスキャンテスト回路の配置配線方法。

【請求項 11】 請求項 10 記載のスキャンテスト回路の配置配線方法において、

上記クロックスキューを回避する処理を行うステップでは、上記スキャンレジスタのペア間のクロック配線又はスキャンチェーンの経路を順次改善することを特徴とするスキャンテスト回路の配置配線方法。

【請求項 12】 請求項 10 記載のスキャンテスト回路の配置配線方法において、

上記クロックスキューを回避する処理を行うステップでは、上記スキャンレジスタのペアのうちいずれかのスキャンレジスタを遅延時間の異なるスキャンレジスタに置き換えることを特徴とするスキャンテスト回路の配置配線方法。

【請求項 13】 スキャンテストの対象となるフリップフロップを含む回路要素の配置を行う配置設計手段と、

上記各回路要素間の概略配線を行う配線設計手段と、

上記配線設計手段による配置情報に基づき上記フリップフロップのスキャンチェーン上での接続順序を仮に決定する接続順序仮決定手段と、

仮に決定された接続順序において連続する 2 つのフリップフロップ間のクロックのスキューが所定値以上になる箇所を抽出するエラー箇所検出手段と、

上記追加されたフリップフロップのスキャンチェーン上での接続順序を上記抽出された 2 つのフリップフロップの間になるよう接続順序の再決定を行う接続順序再決定手段と、

上記再決定された接続順序に従ってスキャンチェーンの配線を行うスキャンチェーン配線手段とを備えたことを特徴とする配置配線装置。

【請求項 14】 スキャンテストの対象となるフリップフロップを含む回路要素の配置を行う配置設計手段と、

上記各回路要素間の概略配線を行う配線設計手段と、

上記配線設計手段による配置情報に基づき上記フリップフロップのスキャンチェーン上での接続順序を決定する接続順序決定手段と、

スキャンチェーン上の一つおきのフリップフロップをスキャンモード時にクロックの逆位相で動作するフリップフロップに変更するフリップフロップ変更手段と、

上記決定された接続順序に従ってスキャンチェーンの配線を行うスキャンチェーン配線手段とを備えたことを特徴とする配置配線装置。

【請求項 15】 スキャンテストの対象となるフリップフロップを配置してなるスキャンテスト回路を備えた半導体集積回路において、

上記スキャンテスト回路には、

スキャンモード時のみクロックの逆位相で動作するフリップフロップと、スキャンモード時も正位相で動作するフリップフロップとがスキャンチェーン上で交互に配置

されていることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体集積回路の接続状態等をテストするために設けられるスキャンテスト回路の配置配線方法、配置配線装置及びスキャンテスト回路を配置してなる半導体集積回路に関するものである。

【0002】

【従来の技術】従来から行われているスキャンチェーンの接続方法としては、以下の3つの方法があげられる。

【0003】(1) 第1の方法としては、回路設計者が、回路設計時にスキャン対象フリップフロップに対し、接続関係から回路図上でマニュアルでスキャンチェーンを接続する方法である。

【0004】(2) 第2の方法としては、設計者が回路を設計後、スキャンテストを自動挿入する機能を持った回路合成システムやテスト生成システムを用いてスキャンチェーンを自動で接続する方法である。

【0005】(3) 第3の方法としては、例えば、特開平4-96252号公報に開示されているように、回

$$D_s > D_c$$

次に、スキャンが誤動作を起こす場合について、図17の回路を例にとって説明する。図17において、ck31はクロック、331~339はスキャン信号線、301~308はスキャンレジスタ、380はスタンダードセル、390はチャネルである。各スキャン信号線331~339によりスキャンレジスタ301~308を直列に接続してなるスキャンチェーン330が形成されている。

【0008】ここで、スキャンレジスタ307とスキャンレジスタ308とに着目すると、両者へのクロック配線はかなり遠回りしているため、クロックスキューは大きい。反面、両者間のスキャン信号線は同じチャネル内のできるので、配線が短く、スキャン遅延も小さい。このような場合に、上記式(1)の関係を満たさなくなり、スキャンの誤動作を起こす。

【0009】一方、上記の全ての従来手法において、回路内にクロック信号線が複数存在する場合には、クロック信号線毎の遅延差により生ずるクロックスキューによりスキャンチェーン上の誤動作を起こす可能性が高いため、クロック信号線毎に異なるスキャンチェーンを作成し、複数のスキャンチェーンを用いてテストを行っていた。例えば、図18は、上記図17の一部を取り出したものであり、スキャンレジスタとしてフリップフロップを配置したものである。図18に示す回路において、フリップフロップ301、302は、クロックck31により制御され、フリップフロップ303、304は、クロックck32により制御されている。従来、このような回路に対しては、スキャン信号線331、332、333によりフリップフロップ301及び302を直列

路の配置配線時に、各セルの配置情報に基づいて、スキャンチェーンが短くなるようにスキャンの順序を決定し、接続する方法である。その場合、スキャンチェーンを構成するフリップフロップ等のスキャンレジスタにおいて、クロック信号の遅延差(スキュー)に起因する誤動作(ミスラッチ)が生じるという現象があった。

【0006】図16にスキャンテスト回路におけるスキューを説明するための図を示す。この図で、ck31はクロック、330はスキャン信号線、301、302はフリップフロップ等のスキャンレジスタ、360はスキャン入力端子、370はスキャン出力端子である。スキャンレジスタ301のスキャン入力端子360とスキャンレジスタ302のスキャン入力端子360との間にはスキャン遅延 $D_s$ が生じ、スキャンレジスタ301のクロック信号とスキャンレジスタ302のクロック信号との間にはクロックスキュー(クロックの遅延差) $D_c$ が生じる。スキャンテスト回路は一般的に、後述の式(1)が成立している場合に正常動作をし、この条件が成り立たないと誤動作を生じる。

【0007】

(1)

に接続してなるスキャンチェーン330Aと、スキャン信号線334、335、336によりフリップフロップ303及び304を直列に接続してなるスキャンチェーン330Bとの2本のスキャンチェーンを形成していた。なお、同図において、313はテストモード信号線、341~348はデータ信号線、351~353は組合せ回路である。

【0010】

【発明が解決しようとする課題】しかしながら、上記従来のようなスキャンテスト回路の配置配線技術では、下記のような問題があった。

【0011】上記(1)および(2)の方法を用いた場合、フリップフロップの配置の結果、スキャンチェーン上で接続されたフリップフロップが遠く離れたり、あるいは、データ信号線によって接続される配置が、スキャンチェーン上で接続される順序とは異なる順序で配置された結果、スキャンチェーンの配線が複雑になり、その結果、スキャンチェーンのための配線面積が大きくなる。

【0012】上記(3)の方法を用いると、クロックのスキューやスキャン信号の伝搬時間が考慮されていないために、誤動作を生じやすい配線が施される虞れがある。

【0013】また、上記(1)~(3)のいずれの方法を用いた場合にも、回路規模が大きい場合など、各フリップフロップでのクロックのスキューからスキャンモード時に誤動作を起こす虞れがあった。これを回避すべく、従来では、配置配線終了後、実配線遅延シミュレーション等を用いて相当の工数をかけて動作検証を行な

い、かつ、誤動作が発見されれば配置または配線を人手で修正する必要があり、回路が大規模化するにつれて、現実的な手法としては不適当となっている。

【0014】また、異なるクロック系統が存在する場合、あらかじめ異なるスキャンチェーンを形成するようにすると、スキャンチェーンの数が多くなり、それらを制御するための大規模なテスト用回路が必要となる。しかし、テスト用回路の簡素化を図るべく、制御されるクロックの信号線が異なるフリップフロップに対し、一本のスキャンチェーンを用いてスキャンテストを行なおうとすると、スキャンテスト時にミスラッチを起し、正しくテストできないことが多くあった。これは、スキャンチェーン上ではフリップフロップ間が配線のみであることから遅延時間が短いので、異なる信号線のクロック信号間に位相差があるからである。以下に、そのミスラッチの発生作用を具体的に説明する。

【0015】例えば、図19に示すように、フリップフロップ302～303間をスキャン信号線333で接続し、共通のスキャンチェーンを形成するとする。

【0016】図20は、上方から順に、テストモード時のクロックck31、ck32の信号状態、各スキャン信号線331～336の信号状態の例を示す。ここでは、例として、テストモード信号線313により、テストモードに切り替わった時点でのフリップフロップ301～304の内部状態を、各々“0”、“1”、“0”、“1”とし、データ信号線331からは論理値“1”が送られてくるとする。また、クロックck31、ck32間には、クロック信号間のスキューTdcが存在しているとする。以下にテストモード時の動作を説明する。

【0017】テストモードに切り替わった直後、スキャン信号線332、333、335、336には、通常動作時の出力が継続して出力されている。

【0018】タイミングt511において、フリップフロップ301がスキャン信号線331の信号を、フリップフロップ302がスキャン信号線332の信号を取り込み、それぞれ、スキャン信号線332、333へ出力する。

【0019】次に、タイミングt521においてフリップフロップ303がスキャン信号線333の信号を、フリップフロップ304がスキャン信号線335の信号を取り込み、それぞれスキャン信号線335、336へ出力する。

【0020】以降、各クロックの立上り時に順次データが送られ、各スキャン信号線331、332、333、335、336は、それぞれ同図に示すような信号状態となる。ここで、スキャン信号線336には、同図に示すように、テストモードに替わった時点でのフリップフロップ302の状態が伝えられていない。これは、異なる信号線のクロックで制御されている2つのフリップフ

ロップ302、303の間でクロック信号線間のスキューがあるために、タイミングt521では、信号線333には、すでにテストモード切替え時点でのフリップフロップ301の状態が伝搬しており、その値を保持してしまっているためである。

【0021】以上のような不具合が生じるため、異なる信号線のクロックにより制御されるフリップフロップがスキャンチェーン中に存在する場合、あらかじめ異なるスキャンチェーンを形成するせざるを得ないことになる。

【0022】本発明は斯かる点に鑑みてなされたものであり、主として下記の目的を達成するためのスキャンテスト回路の配置配線方法及びその配置配線装置並びに半導体集積回路を提供するものである。

【0023】(1) 第1の目的は、スキャンテスト回路におけるクロックスキューによる誤動作を防止することにある。

【0024】(2) 第2の目的は、異なるクロックで制御されるフリップフロップがスキャンテスト回路に含まれている場合、予めクロックスキューによる誤動作が生じることが予想されるため、この誤動作を未然に防止することにある。

【0025】(3) 第3の目的は、スキャンテスト回路中の遅延によって生じる誤動作を確実に防止することにある。

【0026】

【課題を解決するための手段】上記目的を達成するため、請求項1の発明の講じた手段は、スキャンテスト回路の配置配線方法として、図1に示す基本的なステップからなる方法である。すなわち、スキャンテストの対象となるスキャンレジスタを含む回路要素の配置を行うステップST1と、上記各回路要素間における概略配線を行うステップST2と、上記配置配線されたスキャンレジスタのスキャンモード時におけるクロックのスキューによる誤動作を回避するための処理を行うステップST3とを設ける方法である。

【0027】請求項2の発明の講じた手段は、スキャンテスト回路の配置配線方法として、スキャンテストの対象となるスキャンレジスタを含む回路要素の配置を行うステップと、上記各回路要素間における概略配線を行うステップと、上記概略配線された回路内におけるクロックのスキューが所定値以上になる箇所を検出するステップと、上記クロックのスキューが所定値以上になる箇所について、クロックのスキューによるスキャンモード時の誤動作を回避するための回路の配置、配線を行うステップとを設ける方法である。

【0028】請求項3の発明の講じた手段では、請求項2の発明において、スキャンレジスタとしてフリップフロップを配置する。そして、上記クロックのスキューが所定値以上になる箇所を検出するステップとして、配置

配線情報に基づく上記フリップフロップのスキャンチェーン上での接続順序を仮に決定するステップと、スキャンチェーン上で仮に決定されたスキャン順序において連続するフリップフロップのクロックスキューを求めるステップと、上記求められたクロックスキューが所定値以上となる2つのフリップフロップの組み合わせを抽出するステップとを設ける。さらに、上記クロックスキューを回避する処理を行うステップとして、スキャンモード時に上記ステップで抽出された2つのフリップフロップの少なくともいずれか一方が制御されるクロックの逆位相で動作するフリップフロップを回路に追加配置するステップと、上記追加されたフリップフロップのスキャンチェーン上での接続位置が上記抽出された2つのフリップフロップの間になるよう接続順序の再決定を行うステップと、上記再決定された接続順序に従ってスキャンチェーンの配線を行うステップとを設ける方法である。

【0029】請求項4の発明の講じた手段では、請求項3の発明において、上記クロックスキューが所定値より大きい2つのフリップフロップの組合せを抽出するステップは、クロック発生源から各フリップフロップのクロックピンまでの遅延値列を配線の長さ及び断面積に基づき求め、 $n$ 番目のフリップフロップの遅延値から $(n+1)$ 番目のフリップフロップの遅延値を減じた値に $(n+1)$ 番目のフリップフロップのホールド時間を加算した値と、 $(n+1)$ 番目のフリップフロップの無負荷遅延値とを比較して、無負荷遅延値の方が大きくない場合にエラー箇所として検出する方法である。

【0030】請求項5の発明の講じた手段では、請求項1の発明において、上記スキャンテストの対象となる回路に、複数のクロック系統が設けられているものとする。そして、スキャンレジスタとしてフリップフロップを配置する。また、配置配線情報に基づく上記フリップフロップのスキャンチェーン上での接続順序を仮に決定するステップと、スキャンチェーン内で連続かつ制御されるクロックの系統が異なる2つのフリップフロップの組み合わせを抽出するステップとを設ける。さらに、上記クロックスキューを回避する処理を行なうステップとして、スキャンモード時に上記ステップで抽出された2つのフリップフロップのどちらか一方が制御されるクロックの逆位相で動作するフリップフロップを回路に追加配置するステップと、上記追加されたフリップフロップのスキャンチェーン上での接続順序を上記抽出された2つのフリップフロップの間になるよう接続順序の再決定を行うステップと、上記再決定された接続順序に従ってスキャンチェーンの配線を行うステップとを設ける方法である。

【0031】請求項6の発明の講じた手段では、請求項1の発明において、スキャンレジスタとしてフリップフロップを配置する。また、上記概略配線を行うステップの後に、配置配線情報に基づく上記フリップフロップの

スキャンチェーン上での接続順序を仮に決定するステップを設ける。さらに、上記クロックスキューを回避するステップとして、スキャンチェーン上の一つおきのフリップフロップをスキャンモード時にクロックの逆位相で動作するフリップフロップに変更するステップと、上記決定されたスキャンチェーンの接続順序に従ってスキャンチェーンの配線を行うステップとを設ける方法である。

【0032】請求項7の発明の講じた手段は、請求項1の発明において、上記クロックスキューを回避する処理を行うステップとして、配置配線情報に基づき、クロック発生源から各スキャンレジスタの遅延時間を計算するステップと、上記遅延時間の相対関係によって上記スキャンレジスタ間の半順序関係を定義するステップと、上記半順序関係に違反しないと言った制約のもとに配置配線の評価値を最適化するように上記スキャンレジスタ間の全順序関係を求めるステップと、上記全順序関係に基づき上記スキャンレジスタ間の概略配線の経路を求めるステップと、詳細配線を実行するステップとを設ける方法である。

【0033】請求項8の発明の講じた手段では、請求項7の発明において、スキャンレジスタとしてフリップフロップを配置する。そして、上記クロックスキューを回避する処理を行うステップに、上記全順序に従って連続する2つのフリップフロップのクロックのスキューがある値より大きい箇所を検出するステップと、上記検出された2つのフリップフロップのどちらか一方のクロックの逆位相で動作するフリップフロップを追加配置するステップと、上記追加された逆位相で動作するフリップフロップを含めたスキャン順序に基づき、スキャンチェーンの配線を行うステップとをさらに設ける方法である。

【0034】請求項9の発明の講じた手段では、請求項7の発明において、スキャンテストの対象となる回路には、複数のクロック系統が設けられているものとする。そして、スキャンレジスタとしてフリップフロップを配置する。また、上記クロックスキューを回避する処理を行うステップに、全順序が決定されたスキャンチェーン内で連続かつ制御されるクロックの系統が異なる2つのフリップフロップの組み合わせを抽出するステップと、スキャンモード時に上記ステップで抽出された2つのフリップフロップのどちらか一方が制御されるクロックの逆位相で動作するフリップフロップを回路に追加配置するステップと、上記追加されたフリップフロップのスキャンチェーン上での接続順序を上記抽出された2つのフリップフロップの間になるよう接続順序の再決定を行うステップと、上記再決定された接続順序に従ってスキャンチェーンの配線を行うステップとをさらに設ける方法である。

【0035】請求項10の発明の講じた手段は、請求項1の発明において、上記クロックスキューを回避する処

理を行うステップでは、配置配線情報に基づき、クロック発生源から各スキャンレジスタへの遅延時間と、スキャンチェーンにおける配線の遅延時間とを計算して、クロックのスキューがスキャン配線の遅延時間に比較して大きくなるスキャンレジスタのペアを求め、上記スキャンレジスタペア間の配置配線を改善する方法である。

【0036】請求項11の発明の講じた手段は、請求項10の発明において、上記クロックスキューを回避する処理を行うステップでは、上記スキャンレジスタのペア間のクロック配線又はスキャンチェーンの経路を順次改善する方法である。

【0037】請求項12の発明の講じた手段は、請求項10の発明において、上記クロックスキューを回避する処理を行うステップでは、上記スキャンレジスタのペアのうちいずれかのスキャンレジスタを遅延時間の異なるスキャンレジスタに置き換える方法である。

【0038】請求項13の発明の講じた手段は、スキャンテスト回路の配置配線装置として、スキャンテストの対象となるフリップフロップを含む回路要素の配置を行う配置設計手段と、上記各回路要素間の概略配線を行う配線設計手段と、上記配線設計手段による配置情報に基づき上記フリップフロップのスキャンチェーン上での接続順序を仮に決定する接続順序仮決定手段と、仮に決定された接続順序において連続する2つのフリップフロップ間のクロックのスキューが所定値以上になる箇所を抽出するエラー箇所検出手段と、上記抽出された2つのフリップフロップのうちいずれか一方のクロックの逆位相で動作するフリップフロップを回路に追加配置する追加配置手段と、上記追加されたフリップフロップのスキャンチェーン上での接続順序を上記抽出された2つのフリップフロップの間になるよう接続順序の再決定を行う接続順序再決定手段と、上記再決定された接続順序に従ってスキャンチェーンの配線を行うスキャンチェーン配線手段とを設けたものである。

【0039】請求項14の発明の講じた手段は、スキャンテスト回路の配置配線装置として、スキャンテストの対象となるフリップフロップを含む回路要素の配置を行う配置設計手段と、上記各回路要素間の概略配線を行う配線設計手段と、上記配線設計手段による配置情報に基づき上記フリップフロップのスキャンチェーン上での接続順序を決定する接続順序決定手段と、スキャンチェーン上の一つおきのフリップフロップをスキャンモード時にクロックの逆位相で動作するフリップフロップに変更するフリップフロップ変更手段と、上記決定された接続順序に従ってスキャンチェーンの配線を行うスキャンチェーン配線手段とを設ける方法である。

【0040】請求項15の発明の講じた手段は、スキャンテストの対象となるフリップフロップを配置してなるスキャンテスト回路を備えた半導体集積回路を前提とする。そして、上記スキャンテスト回路に、スキャンモー

ド時のみクロックの逆位相で動作するフリップフロップと、スキャンモード時も正位相で動作するフリップフロップとがスキャンチェーン上で交互に配置するようにしたものである。

【0041】

【作用】以上の方法により、請求項1の発明では、スキャンテスト回路の回路要素が配置され概略配線された後に、クロックのスキューに起因する誤動作を回避する処理が行われるので、クロックスキューによるミ斯拉ッチを起こすことのないスキャンテスト回路が構築されることになる。

【0042】請求項2の発明では、スキャンテスト回路の回路要素が配置され概略配線された後に、クロックのスキューが所定値以上になる箇所が検出されると、当該箇所については、クロックスキューに起因する誤動作を回避する処理が行われるので、構築されるスキャンテスト回路では、クロックスキューによる誤動作が確実に防止されることになる。

【0043】請求項3の発明では、各フリップフロップ間のクロックスキューから誤動作を生じる可能性が高い箇所が確実に検出され、クロックのスキューによりミ斯拉ッチを起こす可能性が高いところには、逆位相で動作するフリップフロップが挿入される。したがって、挿入された逆位相のクロックで制御されるフリップフロップが、クロックの立ち下がりから次の立ち下がりまでの時間、前段のフリップフロップの出力を保持する。そのため、後段のフリップフロップを制御するクロックと、前段のフリップフロップを制御するクロックとの間に位相差が生じていても、後段のフリップフロップは、前段のフリップフロップの1クロック前の出力をラッチすることが可能となる。したがって、クロックスキューに起因する誤動作が確実に回避されることになる。

【0044】請求項4の発明では、請求項3の発明において、エラー箇所が確実に検出されることになる。

【0045】請求項5の発明では、クロック系統が異なる境界のフリップフロップ間で、逆位相フリップフロップの挿入によって、上記請求項3の発明と同様の作用により、前段のフリップフロップの1クロック前の出力をラッチすることが可能となり、異なるクロック信号線間のクロックの位相のずれにもかかわらず、一本のスキャンチェーンによりスキャンテストが可能となる。

【0046】請求項6の発明では、スキャンチェーン内の各フリップフロップに対し、一律の一つおきに逆位相フリップフロップに変更されるので、スキューエラーを生じる箇所を検出する手間を要することなく、クロックスキューに起因する誤動作が未然に回避されることになる。

【0047】請求項7の発明では、各スキャンレジスタ間の半順序関係を決定するステップで、クロックスキューに起因する誤動作が回避され、さらに、全順序関係を



求めるステップで、各スキャンレジスタの評価値が最適化される。したがって、クロックスキューに起因する誤動作が回避されるとともに、スキャンチェーンの配線が可及的に簡素化されることになる。

【0048】請求項8の発明では、請求項7の発明では回避できないクロックスキューに起因する誤動作が生じるような条件下においても、逆位相フリップフロップの挿入によって確実にクロックスキューによる誤動作が回避されることになる。

【0049】請求項9の発明では、請求項7の発明では回避できない異系統クロックの存在に起因する誤動作が生じるような条件下においても、逆位相フリップフロップの挿入によって確実にクロックスキューによる誤動作が回避されることになる。

【0050】請求項10の発明では、スキャンテスト回路に対して、自動設計により配置配線の改善処理を行うことが可能となり、設計工数が大幅に削減されることになる。

【0051】請求項11の発明では、各スキャンレジスタのペア間のクロック配線又はスキャンチェーンの経路が順次改善されるので、すべての箇所におけるクロックスキューによる誤動作が確実に回避されることになる。

【0052】請求項12の発明では、クロックスキューによる誤動作が生じる虞れがある箇所があっても、遅延時間の異なるスキャンレジスタとの置き換えによって誤動作が回避される。したがって、スキャンレジスタの追加による回路面積の増大を招くことなく誤動作が回避されることになる。

【0053】請求項13の発明では、請求項3の発明の作用を奏するスキャンテスト回路を形成しうる配置配線装置が構成されることになる。

【0054】請求項14の発明では、請求項6の発明の作用を奏するスキャンテスト回路を形成しうる配置配線装置が構成されることになる。

【0055】請求項15の発明では、請求項6の発明の作用を奏する半導体集積回路が形成されることになる。

【0056】

【実施例】以下、本発明の実施例について、図面を参照しながら説明する。

【0057】（第1実施例）まず、第1実施例について、図2～図8に基づき説明する。

【0058】図2は第1実施例に係るスキャンテスト回路の配置配線を行う配置配線装置の構成を示すブロック図である。図2において、10は中央処理部（CPU）であり、該中央処理部10には、各回路要素の配置や、回路要素間のクロック信号線やデータ信号線等の概略配線を行う配置及び概略配線部11と、スキャン順序を決定するスキャン順序決定部12と、異系統クロック検出部13と、スキューエラー検出部14と、スキャンチェーン内に逆位相フリップフロップを配置するための逆位

相フリップフロップ配置部15と、スキャンチェーンの配線を行うスキャンチェーン配線部16とが内蔵されている。また、20は記憶部であって、該記憶部20には、各セルの名称や接続情報等を記憶するセル名接続情報記憶部21と、各回路要素の配置に関する情報と配線に関する情報とを記憶する配置配線情報記憶部22と、スキャンチェーンを形成する際のスキャン順序を記憶するスキャン順序記憶部23と、クロックスキューに起因する誤動作を記憶するクロックスキューエラー情報記憶部24とが内蔵されている。また、30は入力部、40は出力部である。

【0059】次に、上記配置配線装置によるスキャンテスト回路の配置配線方法の手順について、図3のフローチャートに基づき説明する。なお、配置配線装置のセル名接続情報記憶部20には、予め当該セルの名前と接続情報とが記憶されている。図3に示すように、ステップST11で、中央処理部10の配置部及び概略配線部11によりスキャンチェーンに関する接続情報を用いずに各回路要素の配置処理を行ない、ステップST12で配置及び概略配線部11によりスキャンチェーンを除いたセル間の配線処理を行う。そして、これらの配置配線情報は、記憶部20の配置配線情報記憶部22に記憶しておく。次に、ステップST13で、上記ステップST11における配置結果に基づきスキャンチェーン内のフリップフロップの接続順序を仮に決定する処理を行う。このスキャン順序は記憶部20のスキャン順序記憶部23に記憶しておく。

【0060】また、ステップST14で、異系統クロック検出部13により、回路内に相異なるクロック系統が存在するか否かを判別する。このステップST14の判別で、異系統クロックが存在する場合にはステップST15でその異系統クロックに接続される2つのフリップフロップ間をエラー箇所と設定した後、異系統クロックが回路内に存在しない場合にはそのまま、それぞれステップST16に進む。そして、ステップST16で、スキューエラー検出部14により、クロックの遅延時間の計算を行う。このとき、クロックのブロックの入力ピンからスキャン対象フリップフロップまでの遅延値の計算を行う。さらに、スキューエラー検出部14により、ステップST17で、スキャンチェーン上で連続するフリップフロップにスキューによるエラーがないかを検出するスキューエラーの検出処理を行う。つまり、クロックの遅延時間から算出される後述の加算値 $S_c$ が無負荷遅延値 $K$ よりも大きい箇所がないかを判別する。そして、ステップST18で、 $S_c < K$ となるフリップフロップ間をエラー箇所と設定する。

【0061】次に、上記ステップST14～18の制御により、エラー箇所と設定された部位に対し、ステップST19で、中央処理部10の逆相フリップフロップ配置部15により、当該スキューエラーを生じた2つのフ



リップフロップの間にクロックの逆位相で作動する逆位相フリップフロップを配置する。この時、逆位相フリップフロップを配置したことで、回路要素の配置及びスキャン順序に変更が生じるので、この新たな配置配線情報は記憶部の配置配線情報記憶部 22 に記憶し、スキャン順序はスキャン順序記憶部 23 に記憶しておく。さらに、ステップ ST 20 で、スキャン順序決定部 12 により、上記ステップ ST 19 の結果に基づいてスキャンチェーンの順序の再決定処理を行い、ステップ ST 21 で、スキャンチェーン配線部 16 により、スキャンチェーンの配線処理を行う。この最終的な配置配線情報は、配置配線情報記憶部 22 に記憶しておく。

【0062】なお、上記各ステップにおける作動は、具体的には以下のようになされる。

【0063】セル配置処理を行うステップ ST 11 では、スキャンチェーンに関する接続情報を全ての接続関係から除いたうえで、例えば、「岩波講座マイクロエレクトロニクス 4 VLSI の設計 I」の第 4 章に示される方法により配置配線を行う。

【0064】ステップ ST 13 では、スタンダードセルの配置配線のように列毎にセルを配置する方法では、各列毎にスキャン対象フリップフロップに番号を割り当て、上から順に全体の順序を決定し、スキャン順序列を作成する。

【0065】ステップ ST 16 では、クロックのブロックの入力ピンからスキャン対象フリップフロップのクロックピンまでの各配線線分の長さおよび幅を求め、単位面積当たりの抵抗値および容量値を用いてブロック入力ピンからの遅延値を求め、その値を、ステップ ST 13 で求めた順序にしたがって記憶する。

【0066】ステップ ST 17 では、ステップ ST 14 で求めた遅延値列から、順次値を取りだし、先の値から後の値を減じた値に後の値に対応するフリップフロップのホールド時間を加算した値  $S_c$  と、後の値に対応するフリップフロップの無負荷遅延値  $K$  とを比較する。例えば、1 番めの値から 2 番めの値を減じて求まる差値に 2 番めのフリップフロップのホールド時間を加算した値と、2 番めのフリップフロップの無負荷遅延値とを比較する。そして、無負荷遅延値の方が上記加算値よりも大きくない場合に、そのフリップフロップ間をエラー箇所として検出し、エラー箇所リストに記憶する。

【0067】ステップ ST 19 では、エラー箇所リストから順次エラー箇所を取りだし、エラー箇所と同じ列上に逆位相で動作するフリップフロップを追加配置する。逆位相のフリップフロップを配置する余裕が該当列にない場合には、その列に近い列で、余裕のある列に追加配置する。ステップ ST 21 では、ステップ ST 20 において接続された各フリップフロップの順序にしたがって、スキャンチェーンの配線を行うとともに、スキャン順序リストの所定の箇所に、ステップ ST 19 で追加し

たフリップフロップを追加挿入する。

【0068】次に、図 4 は、上述の配置配線装置によって構成されたスキャンテスト回路の構成を示す。同図において、 $ck11$  はチップ内の第 1 クロック、 $ck12$  は第 2 クロックであり、113 はテストモードと通常モードとの切替え信号を入力するためのテストモード信号線である。101 及び 102 は第 1 クロック  $ck11$  の信号線に接続されるフリップフロップであり、103 及び 104 は第 2 クロック  $ck12$  の信号線に接続されるフリップフロップである。通常モードでは、各フリップフロップ 101 ~ 104 において、端子 D はデータ信号の入力部、端子 SI はテストモード時におけるスキャン信号の入力部である。出力は端子 SQ および Q に等しく出力される。

【0069】ここで、上記図 4 のフリップフロップ 105 は、第 2 クロック  $ck12$  の逆位相で制御されるフリップフロップであって、上記図 3 のフローチャートにおけるステップ ST 14、15 の制御によりエラー箇所と設定され、ステップ ST 19 の制御によりスキャンテスト回路に配置されるものである。そして、図 3 のステップ ST 21 の制御により、各フリップフロップ 101 ~ 105 を図に示す順序で接続するスキャン信号線 131 ~ 136 の配線処理が行われる。すなわち、スキャン信号線 131 ~ 136 により各フリップフロップ 101 ~ 105 を直列に接続してなるスキャンチェーンが構成される。なお、同図において、150 ~ 153 は組合せ回路のブロックであり、これらの組合せ回路 150 ~ 153 と各フリップフロップ 101 ~ 104 とを接続するデータ信号線 141 ~ 148 により、通常動作時のデータの伝搬が行なわれる。

【0070】また、図 5 は、上記図 3 のステップ ST 17、18 の制御によりエラー箇所と設定され、ステップ ST 19 の制御によりスキャンテスト回路に逆位相フリップフロップ 105 が配置された場合のスキャンセル回路の構成を示す。この場合、各フリップフロップ 101 ~ 105 はすべて共通の第 1 クロック  $ck11$  により制御される。

【0071】以下に、図 6 及び図 7 に示す回路を用いて、上記図 4 に示すスキャンセル回路を用いてスキャンテストを行った場合の動作を説明する。図 6 および図 7 は、いずれも上方から順に、テストモード時のクロック  $ck11$ 、 $ck12$  の状態、スキャン信号線 131 ~ 136 の信号状態の例を示す。ここでは、例として、テストモードに切り替わった時点でのフリップフロップ 101 ~ 104 の内部状態を各々、“0”、“1”、“0”、“1”とし、スキャン信号線 131 からは“1”が送られてくるとする。また、第 1 クロック  $ck11$  と第 2 クロック  $ck12$  との間には、クロック系統間のスキュー  $T_{dc}$  が存在しているとする。図 6 は、スキュー  $T_{dc}$  がクロックの半周期より小さい場合

を、図7はスキューT d c kがクロックの半周期より大きい場合をそれぞれ示している。

【0072】まず、図6に示す動作を説明する。当初、モード切替え信号113によりテストモードに切り替わった直後には、スキャン信号線132、133、135、136には、通常動作時の出力が継続して出力されている。

【0073】次に、タイミングt311において、フリップフロップ101がスキャン信号線131の信号を、フリップフロップ102がスキャン信号線132の信号を取り込み、それぞれ、スキャン信号線132、133へ出力する。そして、タイミングt321においてフリップフロップ103がスキャン信号線134の信号を、フリップフロップ104がスキャン信号線135の信号を取り込み、それぞれ、スキャン信号線135、136へ出力する。さらに、タイミングt331において、フリップフロップ105がスキャン信号線133の信号を取り込み、スキャン信号線134へ出力する。

【0074】次に、タイミングt312において、フリップフロップ101がスキャン信号線131の信号を、フリップフロップ102がスキャン信号線132の信号を取り込み、それぞれ、スキャン信号線132、133へ出力する。そして、タイミングt322においてフリップフロップ103がスキャン信号線134の信号を、フリップフロップ104がスキャン信号線135の信号を取り込み、それぞれ、スキャン信号線135、136へ出力する。

【0075】以降、各クロックの立ち上がり、または、立ち下がり時に、前述の動作を繰り返すことにより、スキャンパス上で順次データが送られる。

【0076】ここで、フリップフロップ105が、第2クロックc k 12の立ち上がりに対し、前後半周期の間、前段のフリップフロップ104の出力を保持しているため、第2クロックc k 12が第1クロックc k 11に対して、半周期以下の遅れを生じている場合にも、タイミングt321およびt322において、フリップフロップ103が保持する値は、それぞれタイミングt310、t311においてフリップフロップ102が保持した値となり、正しいスキャンデータを保持することが可能となる。従って、スキャン信号線136には、各々のフリップフロップの状態が順次現れる。

【0077】次に図7における動作を説明する。当初、モード切替え信号113によりテストモードに切り替わった直後には、スキャン信号線132、133、135、136には、通常動作時の出力が継続して出力されている。

【0078】次に、タイミングt421においてフリップフロップ103がスキャン信号線134の信号を、フリップフロップ104がスキャン信号線135の信号を取り込み、それぞれ、スキャン信号線135、136へ

出力する。そして、タイミングt411において、フリップフロップ101がスキャン信号線131の信号を、フリップフロップ102がスキャン信号線132の信号を取り込み、それぞれ、スキャン信号線132、133へ出力する。さらに、タイミングt431において、フリップフロップ105がスキャン信号線133の信号を取り込み、スキャン信号線134へ出力する。

【0079】次に、タイミングt422においてフリップフロップ103がスキャン信号線134の信号を、フリップフロップ104がスキャン信号線135の信号を取り込み、それぞれ、スキャン信号線135、136へ出力する。そして、タイミングt412において、フリップフロップ101がスキャン信号線131の信号を、フリップフロップ102がスキャン信号線132の信号を取り込み、それぞれ、スキャン信号線132、133へ出力する。さらに、タイミングt432において、フリップフロップ105がスキャン信号線133の信号を取り込み、スキャン信号線134へ出力する。

【0080】以降、各クロックの立ち上がり、または、立ち下がり時に、前述の動作を繰り返すことにより、スキャンパス上で順次データが送られる。

【0081】ここで、第2クロックc k 12が第1クロックc k 11に対して、半周期以上の遅れを生じている場合にも、テストモードへの切替が、第1クロックc k 11の立ち上がりから第2クロックc k 12の立ち上がりの間に行なわれれば、タイミングt421およびt422において、フリップフロップ103が保持する値は、それぞれタイミングt410、t411においてフリップフロップ102が保持した値となり、正しいスキャンデータを保持することが可能となる。従って、スキャン信号線136には、各々のフリップフロップの状態が順次現れる。

【0082】以上の結果、クロック信号線間にスキューが存在する場合においても一本のスキャンチェーン用いてスキャンすることが可能となる。

【0083】なお、本実施例では、逆位相のフリップフロップの制御を、後段のフリップフロップのクロックを用いて説明したが、前段のフリップフロップのクロックを用いても同等の効果が得られる。

【0084】また、本実施例では、一相クロックにより制御されるフリップフロップを用いて説明を行なったが、図8(a)～(c)に示すような動作を行う三相クロック制御のフリップフロップを用いても同等の効果をを得ることができる。ただし、図8(a)は通常動作時におけるクロック等の信号状態を、図8(b)はテストモード時における各信号状態を、図8(c)は回路モデルをそれぞれ示す。

【0085】また、本実施例ではテストモードへの切替をテストモード信号を用いて説明したが、本発明は、テストモードへの切替え方法によらず有効である。

【0086】また、本実施例におけるフリップフロップは、基本フリップフロップ回路とテスト回路とから構成されているものでもよく、その他同様の機能を有するものであれば、その回路構成に限定されるものではない。

【0087】また、本実施例では、単一系統クロックにより制御される図5のフリップフロップ間における各信号線の信号状態を示すタイミングチャートは省略するが、上記図6及び図7のタイミングチャートから明らかなように、スキューエラーを生じた箇所のスキュー $T_{ds k}$ がクロックの半周期より長い場合または短い場合のいずれに対しても、フリップフロップ間のクロックスキューに起因する誤動作を起こさずスキャンすることが可能となる。

【0088】なお、上記第1実施例では、クロック系統が異なることによりスキューが生じる場合とクロックの遅延によりスキューが生じる場合とを同時に処理するように配置配線する例について説明したが、いずれか一方のみを行ってもよいことはいうまでもない。

【0089】(第2実施例)次に、第2実施例について、図9～図11に基づき説明する。図9は第2実施例に係るスキャンテスト回路の配置配線を行う配置配線装置の構成を示すブロック図である。同図に示すように、第2実施例に係る配置配線装置の構成は、上記第1実施例における配置配線装置の構成よりも簡素化されている。すなわち、中央処理部10には、異系統クロック検出部13及びスキューエラー検出部14が配置されておらず、さらに、逆位相フリップフロップ配置部15に代えて、逆位相フリップフロップ変更部17が配置されている。また、記憶部20には、クロックスキューエラー情報記憶部24が配設されていない。その他の構成は、図2に示す構成と同様である。

【0090】以下、第2実施例におけるスキャンセル回路の配置配線方法について、図10のフローチャートに基づき説明する。

【0091】まず、ステップST31～ST33で、上記図3のフローチャートにおけるステップST11～ST13と同様の制御を行った後、ステップST34で、逆位相フリップフロップ変更部17により逆位相フリップフロップへの置き換えセルの決定を行い、ステップST35で、逆位相フリップフロップの再配置処理を行う。このとき、スキャンチェーン上で連続するフリップフロップ中の一つおきのフリップフロップを、スキャンモード時のみ逆位相クロックで動作するフリップフロップに変更する。そして、ステップST36で、スキャン順序記憶部23からスキャン順序情報を取出し、その情報に基づいてスキャンチェーンの配線を行い、配置配線情報記憶部22の記憶内容を更新する。

【0092】図11は、上記配置配線処理によって構成されるスキャンテスト回路の例を示す。同図に示すように、クロック $ck11$ の正位相で動作するフリップフロ

ップ101、103と、クロック $ck11$ の逆位相で動作するフリップフロップ102、103とを交互に接続したスキャンチェーン130を形成している。つまり、フリップフロップ101、103は通常動作時及びテスト動作時のいずれの場合もクロックの立上がりでデータを取り込み、フリップフロップ102、104は、通常動作時にはクロックの立上がりでデータを取り込み、テスト時にはクロックの立ち下がりでデータを取り込む。その他の構成は上記図4等の構成と同様である。

【0093】本実施例では、上記第1実施例における図6及び図7のタイミングチャートから明らかなように、すべてのフリップフロップ間におけるスキューによる誤動作を有効に防止することができ、その場合、スキュー箇所の検出等の作業を伴わないので、制御の簡素化を図ることができる。

【0094】(第3実施例)次に、第3実施例について、図12及び図13に基づき説明する。本実施例では、異系統クロックが存在するのではなく、共通の1つのクロックのみが存在することを前提としている。

【0095】図12は、第3実施例に係る1スキャンテスト回路の配置配線方法のフローチャートを示す。まず、ステップST41で、各セルの配置を行った後、ステップST42で、概略配線処理を行う。ここまでは、上記第1、第2実施例と同様である。次に、ステップST43で、クロックの遅延時間 $D_c$ の計算を行う。このとき、ステップST42のスキャン信号線以外の概略配線処理まで実行した後に、各フリップフロップのクロック入力端子へのクロック遅延時間を計算する。

【0096】次に、ステップST44で、スキャンフリップフロップの半順序の決定処理を以下の手順で行う。

【0097】スキャンフリップフロップの配線負荷容量が“0”の時のスキャン遅延を $D_{s0}$ としたとき、スキャンフリップフロップの全体集合をクロック発生源から各フリップフロップへのクロックの伝搬遅延値 $DR$ によって、以下のような部分集合 $S_i$ に分ける。

【0098】 $S_i = \{ \text{フリップフロップ } R \mid \text{クロック発生源からフリップフロップ } R \text{ へのクロックの伝搬遅延 } DR \text{ が } D_{s0} * (i-1) < DR < D_{s0} * i \text{ を満足する。} \}$

この時、任意の2個のフリップフロップ $R_a$ 、 $R_b$ は、それが含まれる部分集合 $S_i$ の $i$ の大き从小へ向かう順序関係によって、上記任意の2個のフリップフロップ $R_a$ 、 $R_b$ が含まれる部分集合が異なる場合に限り順序関係を与えるとすると、全てのフリップフロップ間に、 $i$ の大小による半順序関係が定義される。そして、この半順序関係を満足するような全てのフリップフロップの全順序を求め(すなわち、全てのフリップフロップを一列に並べ)、その順列に従って数珠つなぎになるようにスキャン配線を行なうと、全てのフリップフロップは式(1)を満足し、スキャン回路は全て正常動作をすること

になる。

【0099】尚、以上の議論で、 $Ds0$ の代わりに、 $Ds0$ より小さな任意の値を用いても同様のことが言える。たとえば、上記半順序関係として、クロックの遅延時間の逆順にフリップフロップを並べても良い。

【0100】次に、ステップST45で、スキャンチェーンの全順序の再決定処理を行う。このステップST45における処理は、ステップST44の半順序の決定処理で決定された半順序関係を満足しつつ、配線長が最小となる全順序の再決定を行なうものである。

【0101】以下、スキャンチェーンの全順序再決定処理について、図13を参照しながら説明する。同図において、200a~200jはスキャンフリップフロップ、230a~230kはスキャン信号線（スキャン概略配線）、280はスキャン入力端子、290はスキャン出力端子である。

【0102】ここで、上記ステップST44の制御により決定された半順序関係（ $S_n, \dots, S_3, S_2, S_1$ ）において、部分集合 $S_n$ にはフリップフロップ200da, 200d, 200g, 200jが含まれ、部分集合 $S_{n-1}$ にはフリップフロップ200h, 200bが含まれ、部分集合 $S_2$ にはフリップフロップ200e, 200iが含まれ、部分集合 $S_1$ にはフリップフロップ200c, 200fが含まれているものとする（すなわち、 $n=4$ の場合である）。

【0103】まず、最上位に順序付けされているスキャンフリップフロップの集合（すなわち $S_n$ ）を取り出し、これらのうちスキャン入力端子280に最も近いフリップフロップ200aにスキャン信号線230aを接続するように各フリップフロップの接続順序を再決定する。次に、フリップフロップ200aから最も近いフリップフロップ200dにスキャン信号線230bを接続するように接続関係を再決定する。この処理を $S_n$ 内の全てのフリップフロップがつながれるまで行なう。図13の例では、フリップフロップ200a, 200d, 200g, 200jの順に接続関係が再決定されることになる。

【0104】次に、フリップフロップの集合 $S_{n-1}$ に対して、スキャン信号線の新たな始点を $S_n$ 内のスキャン信号線最終点（すなわち、フリップフロップ200jのスキャン出力端子）として、集合 $S_{n-1}$ に含まれるフリップフロップのうち新たな始点に最も近いものを順に接続するよう接続関係を再決定する。図13の例では、フリップフロップ200h, 200bの順で接続されることになる。

【0105】以上の処理を集合 $S_{n-1} \sim S_1$ まで順に行ない、最後にスキャン信号線に接続されるスキャンフリップフロップ200cのスキャン出力端子からブロックのスキャン出力端子290を接続するように接続関係を再決定する。

【0106】これにより、各フリップフロップ200a~200jの全順序の再決定処理を終了すると、ステップST46に進んで、スキャンチェーンの配線処理を行ない、これにより、スキャンチェーンの配置配線処理を終了する。

【0107】本第3実施例では、スキャンチェーンにおける半順序を決定する前に、クロックの遅延時間を考慮しているので、以下のような利点がある。

【0108】すなわち、上記第1実施例に示す方法は、図3のステップST12の配線処理において、クロックを、例えば「1991年 Proceeding of IEEE International Conference on Computer-Aided Design p336~339」に記載されているようなスキューを低減するアルゴリズムに基づいて配線された場合には有効であるが、クロックを他のネットと同様に配線した場合、クロックのスキューが多くなることが予想される。したがって、第1実施例の方法を用いた場合、条件によっては、逆位相のフリップフロップを多く挿入しなければならないようなことが生じうる。それに対し、本第3実施例では、予めクロックの遅延時間を考慮して、式(1)を満足するように半順序関係を決定してからこの制約のもとに全順序関係を再決定するので、逆位相フリップフロップを挿入しなくても、単にスキャンチェーンの接続関係を適切に行うことで、クロックスキューに起因する誤動作を回避しうる利点がある。

【0109】なお、異系統クロックが存在し、上記第3実施例の制御に加えて、相異なるクロックにより制御される連続した2つのスキャンレジスタが存在する場合、2つのスキャンレジスタ間に逆位相フリップフロップを挿入するようにしてもよい。

【0110】（第4実施例）次に、第4実施例について、図14を参照しながら説明する。

【0111】図14は、第4実施例におけるスキャンテスト回路の配置配線方法を示すフローチャートである。まず、ステップST51~53では、上記第3実施例におけるステップST41~43の制御と同様の制御を行う。その際、ステップST53における遅延時間の計算処理では、スキャン遅延時間 $Ds$ と、クロック遅延時間 $Dc$ との計算を行う。

【0112】次に、ステップST54で、スキャンチェーンの配置配線の改善処理を行う。すなわち、クロックのスキューがスキャン配線の遅延に比較して大きくなるスキャンレジスタセルのペアを求め、上記スキャンレジスタセルペア間のクロック配線を太くする、あるいはスキャン配線を抵抗値の高い配線に置き換えたり、遠回りをさせたりして遅延時間の大きいものに置き換える、等の処理をスキャンの誤動作が起きない条件（式(1)）を満足するまで順次繰り返す。または、スキャン配線を変更する代わりに、問題のあるスキャンレジスタペアの前後のほうのスキャンレジスタを遅延時間の遅いものに置

き換えることを繰り返すことによって、スキヤンの誤動作が起きない条件（式(1)）を満足する方法である。いずれの方法も、自動設計で全て行なえる。

【0113】最後に、ステップST55で、上記第3実施例と同様に、スキヤンチェーンの配線処理を行なう。

【0114】第4実施例では、ステップST54におけるスキヤン配置配線の改善処理を自動設計で全て行なえるので、設計工数の大幅な削減が期待できる。

【0115】（第5実施例）次に、第5実施例について、図15のフローチャートに基づき説明する。

【0116】上記第3実施例の方法は、クロックの遅延時間のバラツキが小さい場合には、有効である。しかし、クロックのバラツキが大きい場合、例えば特定の場所に配置されたスキヤン対象フリップフロップのクロックの遅延時間が他のフリップフロップのクロックの遅延時間に比べて相当程度に大きい場合、全フリップフロップを上述の方法で順序付けることができない虞れが生じる。そこで、本第5実施例では、そのような箇所に上記第1実施例で述べた逆位相フリップフロップを挿入するようにする。

【0117】図15は、第5実施例に係るスキヤンテスト回路の配置配線方法を示すフローチャートである。まず、ステップST61～64では、上記第3実施例の図12に示すステップST41～44と同様の処理を実行する。

【0118】次に、ステップST65で、スキヤンフリップフロップの全順序付け及びエラーの検出処理を行う。その場合、全順序付けは第3実施例と同様に行うとともに、スキュー条件を満たさない箇所が発見された時には、エラー箇所をエラー箇所リストに記憶する。そして、ステップST66で、エラー箇所リストからエラー情報を順次取出し、エラーを起こしている2つのフリップフロップのいずれかの列の上、あるいはその間の列の上に、逆位相で動作するフリップフロップを追加配置する。さらに、ステップST65の処理で作成されたスキヤン順序リストの所定の箇所に、追加したフリップフロップを追加挿入する。

【0119】その後、ステップST67で、スキヤンチェーンの順序の再決定処理を行って、ステップST68で、スキヤンチェーンの配線処理を行う。

【0120】したがって、第5実施例では、上記第3実施例の効果に加えて、ブロック内のクロックの遅延値に大きなバラツキがあっても誤動作しないスキヤンチェーンを作成することができるという著効を発揮することができる。

【0121】また、本実施例におけるフリップフロップは、基本フリップフロップ回路とテスト回路とから構成されているものでもよく、その他同様の機能を有するものであれば、その回路構成に限定されるものではない。

【0122】

【発明の効果】以上説明したように、請求項1の発明によれば、スキヤンテスト回路の配置配線方法として、スキヤンレジスタを含む回路要素の配置及び概略配線を行った後、配置配線されたスキヤンレジスタのスキヤンモード時におけるクロックのスキューによる誤動作を回避するための処理を行うようにしたので、クロックスキューによるミスマッチを起こすことのないスキヤンテスト回路を構築することができる。

【0123】請求項2の発明によれば、スキヤンテスト回路の配置配線方法として、スキヤンレジスタを含む回路要素の配置及び概略配線を行った後、概略配線された回路内におけるクロックのスキューが所定値以上になる箇所を検出し、クロックのスキューが所定値以上になる箇所について、クロックのスキューによるスキヤンモード時の誤動作を回避するための回路の配置、配線を行うようにしたので、クロックスキューによる誤動作を確実に防止することができる。

【0124】請求項3の発明によれば、請求項2の発明において、スキヤンレジスタとしてフリップフロップを配置し、配置配線情報に基づくフリップフロップのスキヤンチェーン上での接続順序を仮に決定した後、クロックスキューが所定値より大きい2つのフリップフロップの組み合わせを抽出し、当該箇所逆位相フリップフロップを追加配置するようにしたので、クロックスキューに起因する誤動作をより確実に防止することができる。

【0125】請求項4の発明によれば、請求項3の発明において、クロックスキューが所定値以上となる2つのフリップフロップの組合せを抽出する際に、所定の加算値が一方のフリップフロップの無負荷遅延値よりも大きくない場合に、そのフリップフロップ間をエラー箇所として検出するようにしたので、誤動作を生じる箇所が確実に検出されることになる。

【0126】請求項5の発明によれば、請求項1の発明において、クロックの系統が異なる2つのフリップフロップの間に逆位相フリップフロップを追加配置するようにしたので、異なるクロック信号線間のクロックの位相のずれがあっても、一本のスキヤンチェーンにより、誤動作を生じることなくスキヤンテストが可能なスキヤンテスト回路を形成することができる。

【0127】請求項6の発明によれば、請求項1の発明において、スキヤンチェーン上の一つおきのフリップフロップを逆位相フリップフロップに変更するようにしたので、スキューエラーを生じる箇所を検出する手間を要することなく、クロックスキューに起因する誤動作を未然に防止することができる。

【0128】請求項7の発明によれば、請求項1の発明において、各スキヤンレジスタの遅延時間の相対関係によってスキヤンレジスタ間の半順序関係を定義し、この定義の下で配置配線の評価値を最適化するように全順序関係を求めるようにしたので、クロックスキューに起因す

る誤動作を回避しながら、スキャンチェーンの配線の簡素化を図ることができる。

【0129】請求項8の発明によれば、請求項7の発明に加えて、全順序に従って連続する2つのフリップフロップのクロックのスキューが所定値以上となる箇所には逆位相フリップフロップを追加配置するようにしたので、請求項7の発明では回避できない誤動作を確実に防止することができる。

【0130】請求項9の発明によれば、請求項7の発明に加えて、全順序に従って連続する2つのフリップフロップが異系統クロックにより制御される場合、両者の間に逆位相フリップフロップを追加配置するようにしたので、請求項7の発明では回避できない異系統クロックによる誤動作を確実に防止することができる。

【0131】請求項10の発明によれば、請求項1の発明において、クロックスキューを回避する処理を行う際に、クロックのスキューがスキャン配線の遅延時間に比較して大きくなるスキャンレジスタのペアを求め、スキャンレジスタペア間の配置配線を改善するようにしたので、スキャンテスト回路の設計工数の大幅な削減を図ることができる。

【0132】請求項11の発明によれば、請求項10の発明において、クロックスキューを回避する処理を行う際に、スキャンレジスタのペア間のクロック配線又はスキャンチェーンの経路を順次改善するようにしたので、すべての箇所におけるクロックスキューによる誤動作を確実に防止することができる。

【0133】請求項12の発明によれば、請求項10の発明において、クロックスキューを回避する処理を行う際に、スキャンレジスタのペアのうちいずれかのスキャンレジスタを遅延時間の異なるスキャンレジスタに置き換えるようにしたので、スキャンレジスタの追加による回路面積の増大を招くことなく、クロックスキューによる誤動作を防止することができる。

【0134】請求項13の発明によれば、スキャンテスト回路の配置配線装置として、回路要素の配置を行う配置設計手段と、各回路要素間の概略配線を行う配線設計手段と、フリップフロップの接続順序を仮に決定する接続順序仮決定手段と、2つのフリップフロップ間でクロックスキューが所定値以上になる箇所を検出するエラー箇所検出手段と、エラー箇所に逆位相フリップフロップを追加配置する追加配置手段と、接続順序の再決定を行う接続順序再決定手段と、スキャンチェーン配線手段とを設けたので、請求項3の発明の効果を発揮するスキャンテスト回路を形成するための配置配線装置を提供することができる。

【0135】請求項14の発明によれば、スキャンテスト回路の配置配線装置として、回路要素の配置を行う配置設計手段と、各回路要素間の概略配線を行う配線設計手段と、フリップフロップの接続順序を決定する接続順

序決定手段と、スキャンチェーン上の一つおきのフリップフロップをスキャンモード時にクロックの逆位相で動作するフリップフロップに変更するフリップフロップ変更手段と、スキャンチェーンの配線を行うスキャンチェーン配線手段とを設けたので、請求項6の発明の効果を発揮するスキャンテスト回路を形成するための配置配線装置を提供する構成とができる。

【0136】請求項15の発明によれば、スキャンテスト回路を備えた半導体集積回路の構成として、逆位相フリップフロップと正位相フリップフロップとをスキャンチェーン上に交互に配置するようにしたので、請求項6の発明の効果を発揮することができる。

【図面の簡単な説明】

【図1】請求項1の発明の基本的な構成を示すブロック図である。

【図2】第1実施例に係るスキャンテスト回路の配置配線装置の構成を示すブロック図である。

【図3】第1実施例に係るスキャンテスト回路の配置配線方法の手順を示すフローチャート図である。

【図4】第1実施例に係るスキャンテスト回路の異系統クロックの境界部に逆位相フリップフロップを配置する場合の構成を示す電気回路図である。

【図5】第1実施例に係るスキャンテスト回路のスキューが大きい箇所に逆位相フリップフロップを配置する場合の構成を示す電気回路図である。

【図6】第1実施例においてクロックの半周期以下のスキューがある場合のスキャンチェーン上の信号状態を示すタイミングチャート図である。

【図7】第1実施例においてクロックの半周期以上のスキューがある場合のスキャンチェーン上の信号状態を示すタイミングチャート図である。

【図8】第1実施例において3相のクロックを使用した場合の信号状態及びフリップフロップの構成を示す図である。

【図9】第2実施例に係るスキャンテスト回路の配置配線装置の構成を示すブロック図である。

【図10】第2実施例に係るスキャンテスト回路の配置配線方法の手順を示すフローチャート図である。

【図11】第2実施例に係るスキャンテスト回路の構成を示す電気回路図である。

【図12】第3実施例に係るスキャンテスト回路の配置配線方法の手順を示すフローチャート図である。

【図13】第3実施例に係るスキャンテスト回路の構成を示すブロック図である。

【図14】第4実施例に係るスキャンテスト回路の配置配線方法の手順を示すフローチャート図である。

【図15】第5実施例に係るスキャンテスト回路の配置配線方法の手順を示すフローチャート図である。

【図16】2つのスキャンレジスタ間におけるクロックスキューとスキャン遅延との関係を示す電気回路図であ

る。

【図 17】従来のスキャンテスト回路の一般的な構成を示すブロック図である。

【図 18】異系統クロックが存在する場合に 2 つのスキャンチェーンを形成した従来のスキャンテスト回路の構成を示す電気回路図である。

【図 19】異系統クロックが存在する場合に 1 つのスキャンチェーンを形成した従来のスキャンテスト回路の構成を示す電気回路図である。

【図 20】異系統クロックが存在する場合に 1 つのス

キャンチェーンを形成した従来のスキャンテスト回路における信号状態を示すタイミングチャート図である。

【符号の説明】

101~104 フリップフロップ

105 逆位相フリップフロップ

113 テストモード信号線

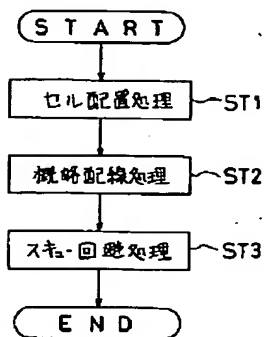
130 スキャンチェーン

131~135 スキャン信号線

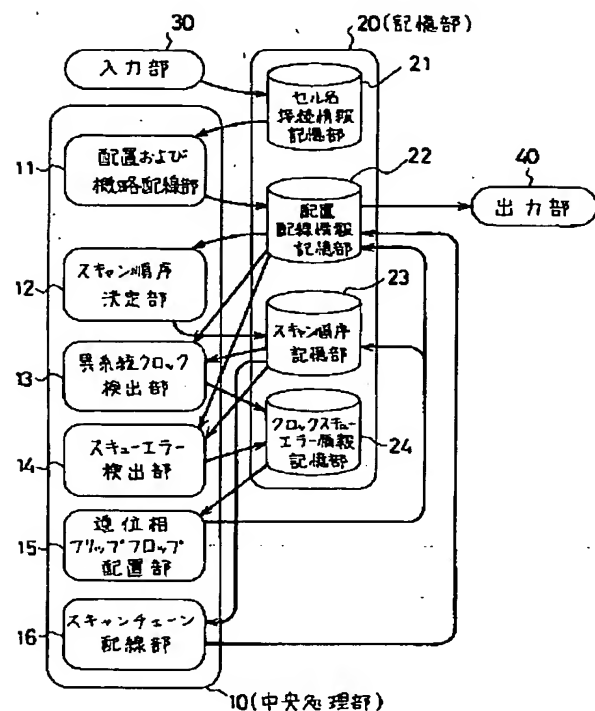
141~148 データ信号線

151~153 組合せ回路

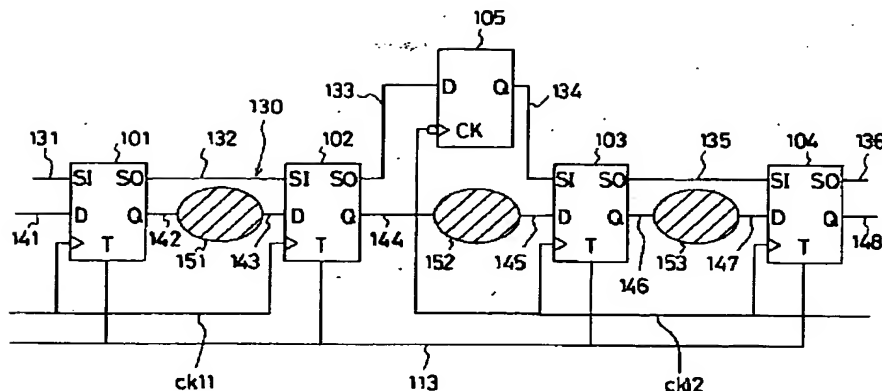
【図 1】



【図 2】

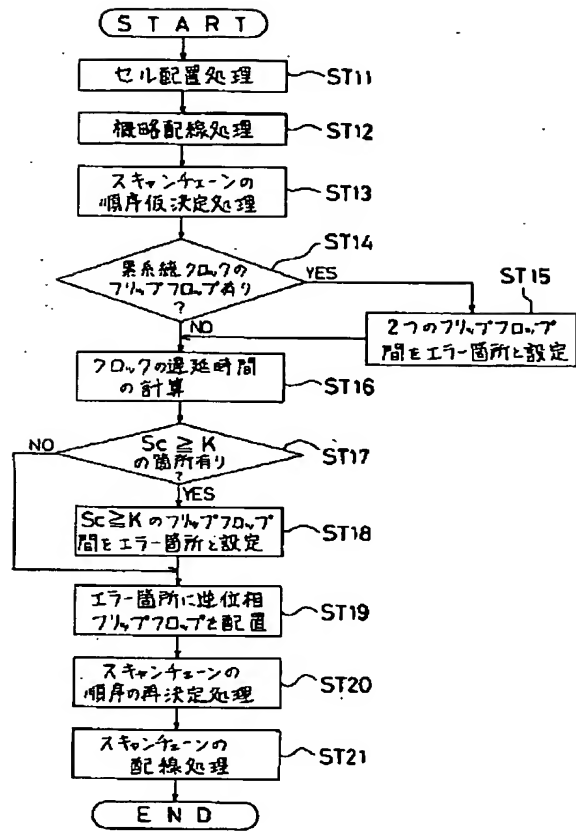


【図 4】

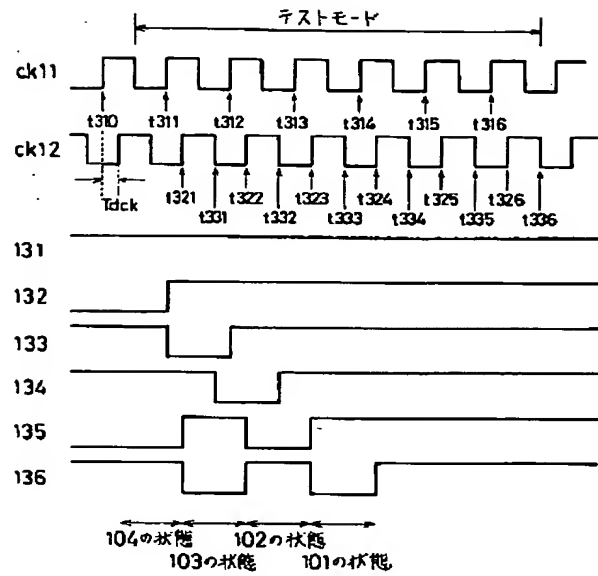




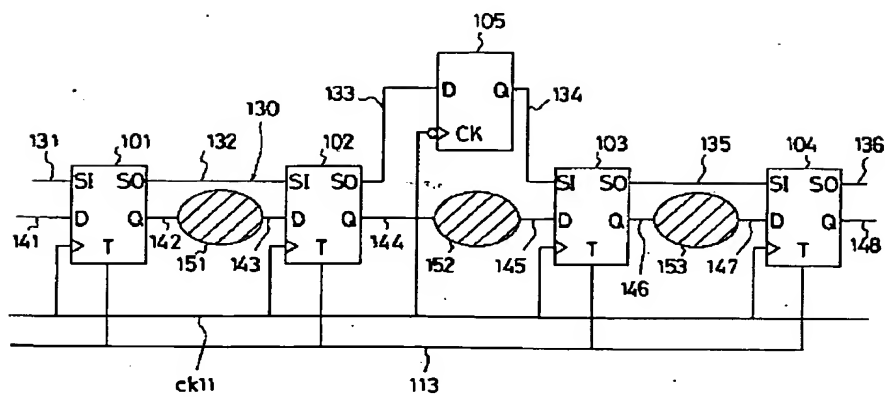
【図 3】



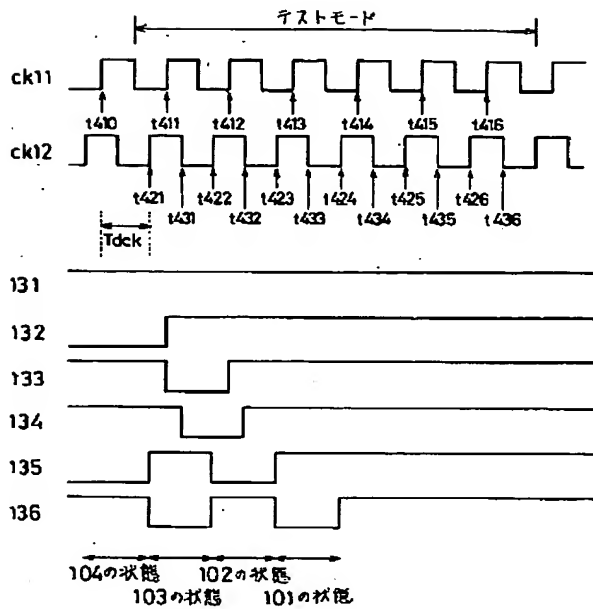
【図 6】



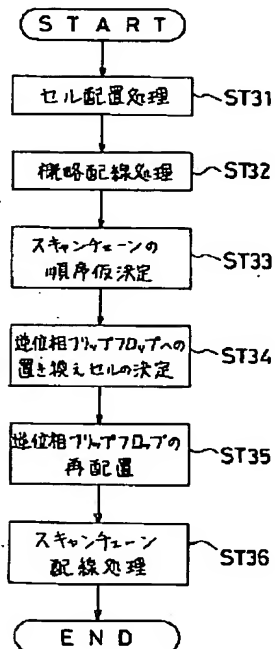
【図 5】



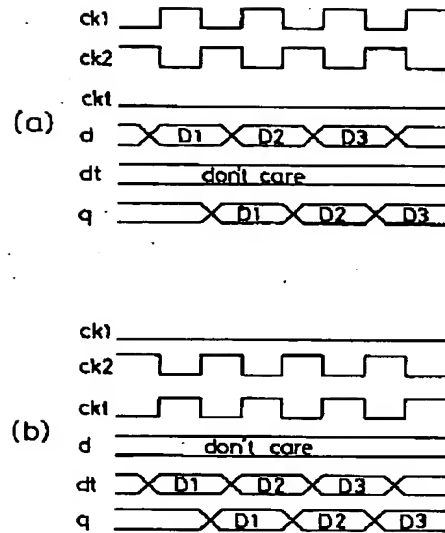
【図 7】



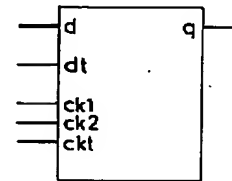
【図 10】



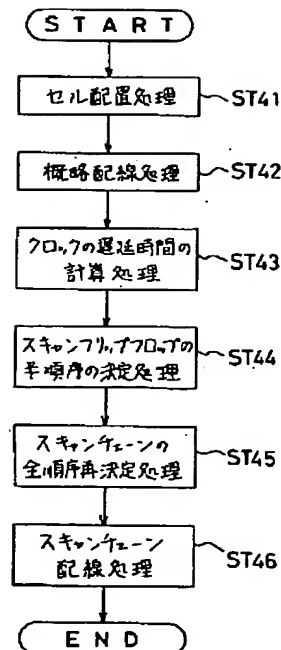
【図 8】



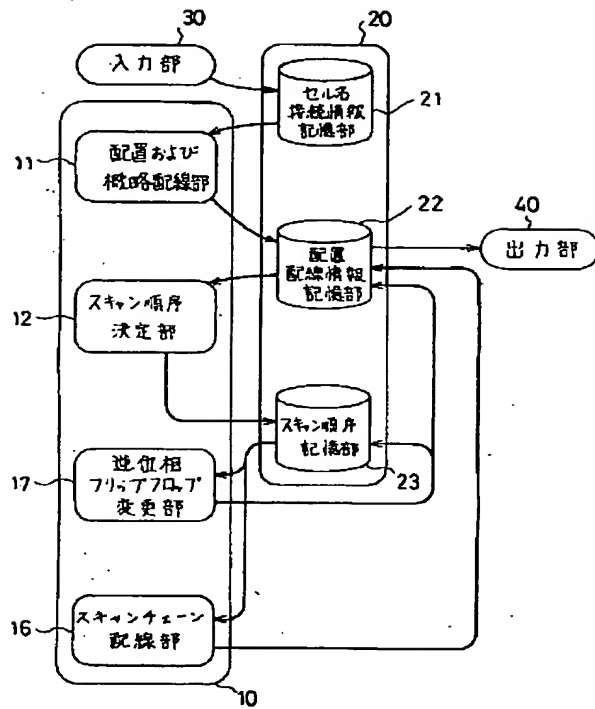
(c)



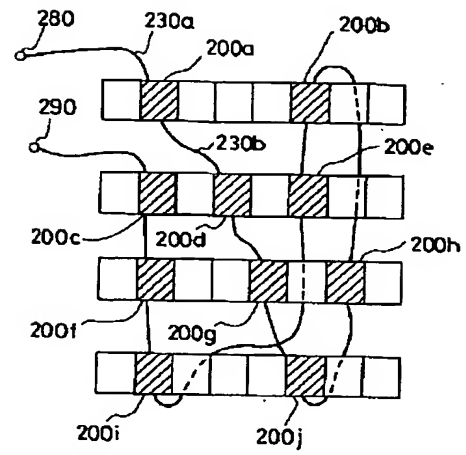
【図 12】



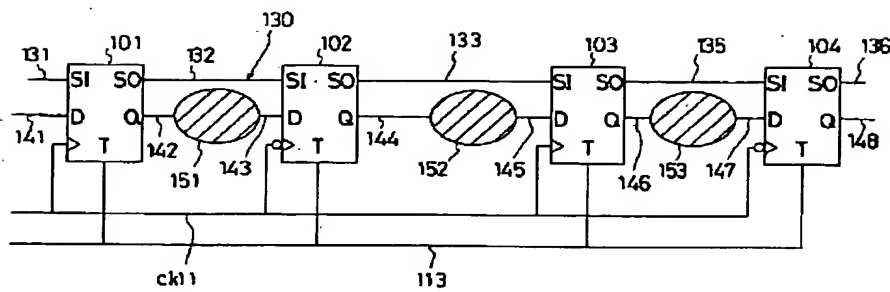
【図 9】



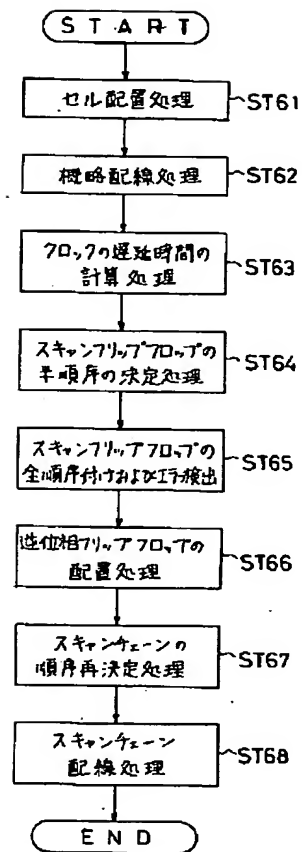
【図 13】



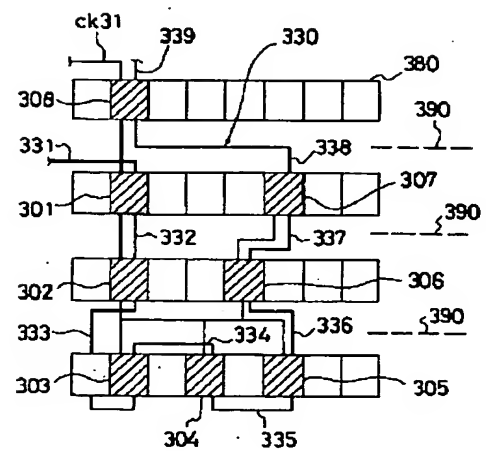
【図 11】



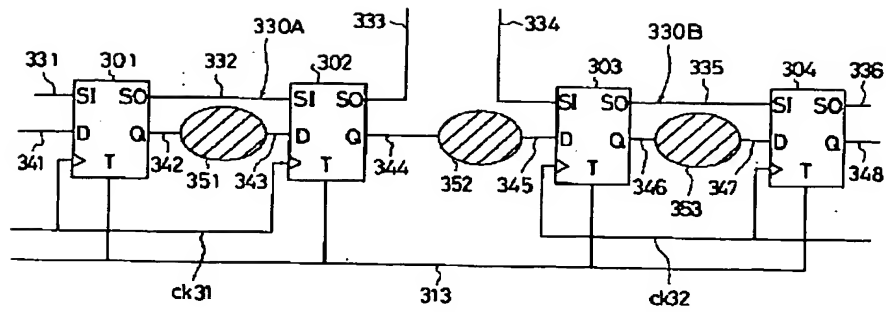
【图 15】



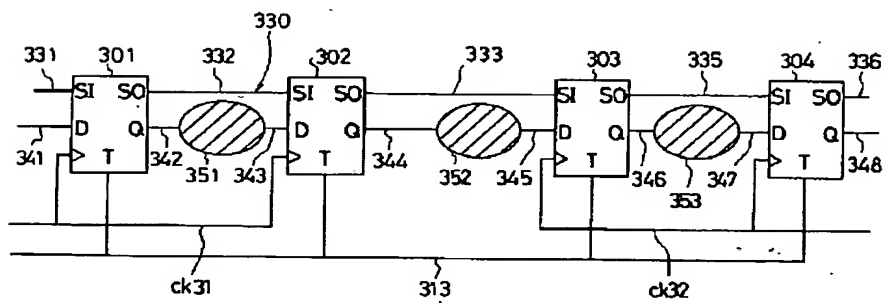
【图 17】



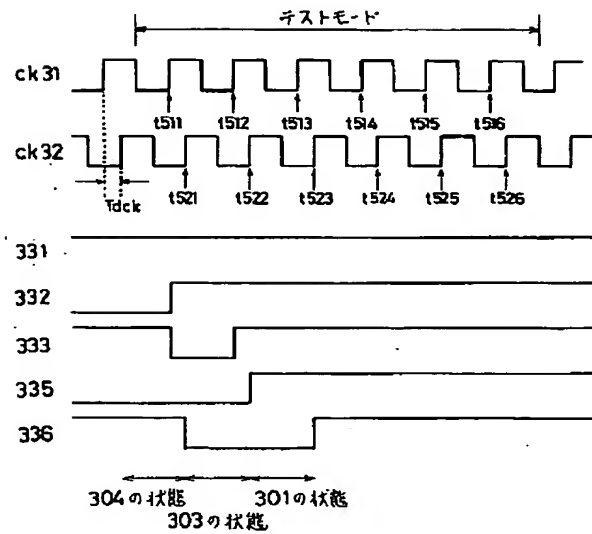
【图 18】



【图 19】



【図 20】



フロントページの続き

(51) Int. Cl. 6

H O 1 L 27/04  
21/822

// H O 1 L 21/66

識別記号

庁内整理番号

F I

技術表示箇所

Z 7630-4M  
8832-4M  
8832-4M

H O 1 L 21/82

W  
T  
A

27/04

(72) 発明者 福井 正博

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 吉田 忠弘

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-192043

(43)Date of publication of application : 28.07.1995

(51)Int.Cl. G06F 17/50  
 G01R 31/28  
 H01L 21/82  
 H01L 27/04  
 H01L 21/822  
 // H01L 21/66

(21)Application number : 06-021445

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 18.02.1994

(72)Inventor : YOSHIDA HISATO  
 SHOREN SHIROJI  
 YOSHIMOTO TETSURO  
 FUKUI MASAHIRO  
 YOSHIDA TADAHIRO

(30)Priority

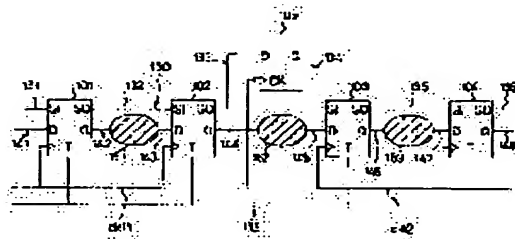
Priority number : 05195732 Priority date : 06.08.1993 Priority country : JP  
 05289010 18.11.1993 JP

(54) ARRANGEMENT AND WIRING METHOD FOR SCAN TEST CIRCUIT AND ARRANGEMENT AND WIRING DEVICE AND SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To prevent mis-latching due to clock skew by arranging circuit elements of a scan test circuit and implementing the processing avoiding malfunction due to a clock skew after rough wiring.

CONSTITUTION: A flip-flop 105 is controlled by an opposit phase of 2nd clock ck12 and set to be an erroneous element by prescribed control and arranged to a scan test circuit. Then, wiring processing for scan signal lines 131 to 136 connecting flip-flop circuits 101 to 105 in the sequence shown in figure is executed. That is, a scan chain is formed by connecting the flip-flop circuits 101 to 105 in series with the scan signal lines 131 to 136. Data in normal operation are propagated through data signal lines 141 to 148 connecting combination circuits 150 to 153 to the flip-flop circuits 101 to 105.



## LEGAL STATUS

[Date of request for examination] 27.01.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3013332

[Date of registration] 17.12.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office



## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

**CLAIMS**


---

**[Claim(s)]**

[Claim 1] The arrangement wiring method of the scanning test circuit which carries out [ having had the step which performs the processing for avoiding malfunction by skew of a clock at the time of a step which arranges a circuit element containing a scanning register set as the object of a scanning test, a step which performs global routing between each above-mentioned circuit element, and scanning mode of a scanning register by which arrangement wiring was carried out / above-mentioned /, and ] as the feature.

[Claim 2] An arrangement wiring method of a scanning test circuit characterized by providing the following. A step which arranges a circuit element containing a scanning register set as the object of a scanning test A step which performs global routing between each above-mentioned circuit element A step which detects a part where a skew of a clock in a circuit by which global routing was carried out [ above-mentioned ] becomes beyond a predetermined value A step which performs arrangement of a circuit for avoiding malfunction at the time of scanning mode by skew of a clock about a part where a skew of the above-mentioned clock becomes beyond a predetermined value, and wiring

[Claim 3] An arrangement wiring method of a scanning test circuit according to claim 2 characterized by providing the following A step which detects a part where a flip-flop is arranged as a scanning register, and a skew of the above-mentioned clock becomes beyond a predetermined value is a step which determines temporarily connection sequence on a scanning chain of the above-mentioned flip-flop based on arrangement wiring information. A step which asks for clock skew of a flip-flop which continues in scanning sequence determined temporarily on a scanning chain A step which performs processing whose called-for clock skew consists of a step which extracts combination of two flip-flops which become beyond a predetermined value, and avoids the above-mentioned clock skew is a step which carries out additional arrangement of the flip-flop which operates by opposite phase of a clock of two flip-flops extracted at the above-mentioned step at the time of scanning mode by which either is controlled at least in a circuit the account of a top. A step which makes a re-decision of connection sequence so that a connecting location on a scanning chain of a flip-flop by which the addition was carried out [ above-mentioned ] may come between flip-flops which are two by which the extract was carried out [ above-mentioned ], and a step which wires a scanning chain according to connection sequence re-determined [ above-mentioned ]

[Claim 4] In an arrangement wiring method of a scanning test circuit according to claim 3, a step from which the above-mentioned clock skew extracts combination of two larger flip-flops than a predetermined value A delay value train from a source of clock generation to each flip-flop is searched for based on length and the cross section of wiring. A value which added the hold time of a flip-flop of eye watch (n+1) to a value which subtracted a delay value of a flip-flop of eye watch from a delay value of the n-th flip-flop (n+1), (n+1) An arrangement wiring method of a scanning test circuit characterized by comparing a no-load delay value of a flip-flop of eye watch, and detecting as an error part when the no-load delay value is not larger.

[Claim 5] An arrangement wiring method of a scanning test circuit according to claim 1 characterized by providing the following A step which two or more clock networks are prepared in a circuit set as the object of the above-mentioned scanning test, arranges a flip-flop as a scanning register, and determines temporarily connection sequence on a scanning chain of the above-mentioned flip-flop based on arrangement wiring information The step which performs the processing which is equipped with a step which extracts combination of two flip-flops with which networks of a clock continued and controlled within a scanning chain differ, and avoids the above-mentioned clock skew is the step which carries out the additional arrangement of the flip-flop which operates by opposite phase of a clock by which one of two flip-flops extracted at the above-mentioned step at the time of scanning mode is controlled in a circuit. A step which makes a re-decision of connection sequence so that connection sequence on a scanning chain of a flip-flop by which the addition was carried out [ above-mentioned ] may be come between two flip-flops by which the extract was carried out [ above-mentioned ] A step which wires a scanning chain according to connection sequence re-determined [ above-mentioned ]

[Claim 6] An arrangement wiring method of a scanning test circuit according to claim 1 characterized by providing the following The step which arranges a flip-flop as a scanning register, is equipped with a step which determines temporarily connection sequence on a scanning chain of the above-mentioned flip-flop based on arrangement wiring information after a step which performs the above-mentioned global routing, and avoids the above-mentioned clock skew is the step which changes a flip-flop in every other one on a scanning chain into a flip-flop which operates by opposite phase of a clock at the time of scanning mode. A step which wires a scanning chain according to connection sequence of a scanning chain by which a decision was made [ above-mentioned ]

[Claim 7] An arrangement wiring method of a scanning test circuit according to claim 1 characterized by providing the following A step which performs processing which avoids the above-mentioned clock skew is a step which calculates a time delay from a source of clock generation to each scanning register based on arrangement wiring information. A step which defines partial order relation between the above-mentioned scanning registers with the relative relation of the above-mentioned time delay A step which asks for total-order relation between the above-mentioned scanning registers a basis of constraint referred to as not breaking the above-mentioned partial order relation so that an evaluation value of arrangement wiring may be optimized A step which searches for a path of global routing between the above-mentioned scanning registers based on the above-mentioned total-order relation, and a step which performs detailed routing

[Claim 8] A step which performs processing which arranges a flip-flop as a scanning register and avoids the above-mentioned clock skew in an arrangement wiring method of a scanning test circuit according to claim 7 A step which detects a larger part than a value with a skew of a clock of two flip-flops which continue according to the above-mentioned total order, A step which carries out additional arrangement of the flip-flop which operates by opposite phase of one of clocks of two flip-flops by which detection was carried out [ above-mentioned ], An arrangement wiring method characterized by having further a step which wires a scanning chain based on scanning sequence including a flip-flop which operates by opposite phase by which the addition was carried out [ above-mentioned ].

[Claim 9] In an arrangement wiring method of a scanning test circuit according to claim 7, in a circuit set as the object of a scanning test A step which performs processing which two or more clock networks are prepared, arranges a flip-flop as a scanning register, and avoids the above-mentioned clock skew A step which extracts combination of two flip-flops with which networks of a clock continued and controlled within a scanning chain with which a total order was determined differ, A step which carries out additional arrangement of the flip-flop which operates by opposite phase of a clock by which one of two flip-flops extracted at the above-mentioned step at the time of scanning mode is controlled in a circuit, A step which makes a re-decision of connection sequence so that connection sequence on a scanning chain of a flip-flop by which the addition was carried out [ above-mentioned ] may be come between two flip-flops by which the extract was carried out [ above-mentioned ], An arrangement wiring method characterized by having further a step which wires a scanning chain according to connection sequence re-determined [ above-mentioned ].

[Claim 10] The arrangement wiring method of a scanning test circuit of carrying out calculating the time delay from the source of clock generation to a scanning register, and the time delay of the wiring in a scanning chain based on arrangement wiring information at the step which performs the processing which avoids the above-mentioned clock skew in the arrangement wiring method of a scanning test circuit according to claim 1, asking the pair of the scanning register which becomes large as compared with the time delay of scanning wiring in the skew of a clock, and improving the arrangement wiring between the above-mentioned scanning register pairs as the feature.

[Claim 11] An arrangement wiring method of a scanning test circuit characterized by carrying out the sequential improvement of the path of clock wiring between pairs of the above-mentioned scanning register, or a scanning chain at a step which performs processing which avoids the above-mentioned clock skew in an arrangement wiring method of a scanning test circuit according to claim 10.

[Claim 12] An arrangement wiring method of a scanning test circuit characterized by transposing one of scanning registers to a scanning register with which time delays differ among pairs of the above-mentioned scanning register at a step which performs processing which avoids the above-mentioned clock skew in an arrangement wiring method of a scanning test circuit according to claim 10.

[Claim 13] Arrangement wiring equipment characterized by providing the following. An arrangement layout means which arranges a circuit element containing a flip-flop set as the object of a scanning test A wiring-design means to perform global routing between each above-mentioned circuit element A connection sequence preliminary decision means to determine temporarily connection sequence on a scanning chain of the above-mentioned flip-flop based on arrangement information by the above-mentioned wiring-design means An error part detection means to extract a part where a skew of a clock between two flip-flops which continue in connection sequence determined temporarily becomes beyond a predetermined value, A connection sequence re-decision means to make a re-decision of connection sequence so that connection sequence on a scanning chain of a flip-flop by which the addition was carried out [ above-mentioned ] may be come between two flip-flops by which the extract was carried out [ above-mentioned ], A scanning chain wiring means to wire a scanning chain according to connection sequence re-determined [ above-mentioned ]

[Claim 14] Arrangement wiring equipment characterized by providing the following. An arrangement layout means which arranges a circuit element containing a flip-flop set as the object of a scanning test A wiring-design means to perform global routing between each above-mentioned circuit element A connection sequence decision means to determine connection sequence on a scanning chain of the above-mentioned flip-flop based on arrangement information by the above-mentioned wiring-design means A flip-flop modification means to change a flip-flop in every other one on a scanning chain into a flip-flop which operates by opposite phase of a clock at the time of scanning mode, and a scanning chain wiring means to wire a scanning chain according to connection sequence by which a decision was made [ above-mentioned ]

[Claim 15] Semiconductor integrated circuit equipment characterized by arranging by turns a flip-flop with which it operates by opposite phase of a clock only at the time of scanning mode, and a flip-flop with which it operates with a normal-state phase also at the time of scanning mode on a scanning chain in the above-mentioned scanning test circuit in a semiconductor integrated circuit equipped with a scanning test circuit which comes to arrange a flip-flop set as the object of a scanning test.

---

[Translation done.]

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

## DETAILED DESCRIPTION

## [Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the semiconductor integrated circuit which comes to arrange the arrangement wiring method of the scanning test circuit prepared in order to test the connection condition of a semiconductor integrated circuit etc., arrangement wiring equipment, and a scanning test circuit.

[0002]

[Description of the Prior Art] The following three methods are raised as a connection method of the scanning chain currently performed from the former.

[0003] (1) It is the way a circuit design person connects a scanning chain from connection relation by the manual on a circuit diagram to the flip-flop for a scan as the 1st method at the time of a circuit design.

[0004] (2) It is the way a designer connects a scanning chain automatically as the 2nd method using a circuit synthesis system and a test generative system with the function which carries out automatic insertion of the scanning test after designing a circuit.

[0005] (3) As the 3rd method, it is the method of determining the sequence of a scan and connecting so that a scanning chain may become short based on the arrangement information on each cel at the time of arrangement wiring of a circuit, for example as indicated by JP,4-96252,A. In that case, in scanning registers, such as a flip-flop which constitutes a scanning chain, there was a phenomenon in which malfunction (mistake latch) resulting from the differential delay (skew) of a clock signal arose.

[0006] Drawing for explaining the skew in a scanning test circuit to drawing 16 is shown. For a clock and 330, as for scanning registers, such as a flip-flop, and 360, in this drawing, a scanning signal line and 301,302 are [ ck31 / a scanning input terminal and 370 ] scanning output terminals. The scanning delay Ds arises between the scanning input terminal 360 of the scanning register 301, and the scanning input terminal 360 of the scanning register 302, and clock skew (differential delay of a clock) Dc arises between the clock signal of the scanning register 301, and the clock signal of the scanning register 302. Generally a scanning test circuit is the below-mentioned formula (1). Malfunction will be produced, if normal actuation is carried out and this condition is not realized, when materialized.

[0007]

Ds>Dc (1) Next, the case where a scan causes malfunction is explained taking the case of the circuit of drawing 17. For a clock, and 331-339, as for a scanning register and 380, in drawing 17, a scanning signal line, and 301-308 are [ ck31 / a standard cell and 390 ] channels. The scanning chain 330 which comes to connect the scanning registers 301-308 with a serial with each scanning signal lines 331-339 is formed.

[0008] If its attention is paid to the scanning register 307 and the scanning register 308, since clock wiring to both will take a long circuit considerably here, clock skew is large. Since the scanning signal line between both is made within the same channel on the other hand, wiring is short and scanning delay also has it. [ small ] In such a case, the above-mentioned formula (1) It stops filling relation and malfunction of a scan is caused.

[0009] On the other hand, since a possibility of causing malfunction on a scanning chain by the clock skew produced by the differential delay for every clock signal line was high in all the above-mentioned conventional technique when two or more clock signal lines exist in a circuit, a different scanning chain for every clock signal line was created, and it was testing using two or more scanning chains. For example, drawing 18 takes out a part of above-mentioned drawing 17, and arranges a flip-flop as a scanning register. In the circuit shown in drawing 18, a flip-flop 301,302 is controlled by the clock ck31, and the flip-flop 303,304 is controlled by the clock ck32. Conventionally, to such a circuit, two scanning chains of scanning chain 330A which comes to connect flip-flops 301 and 302 with a serial with the scanning signal line 331,332,333, and scanning chain 330B which comes to connect flip-flops 303 and 304 with a serial with the scanning signal line 334,335,336 were formed. In addition, as for a static test mode signal line, and 341-348, in this drawing, a data signal line, and 351-353 is [ 313 ] combinational circuits.

[0010]

[Problem(s) to be Solved by the Invention] However, there were the following problems with arrangement wiring technology of a scanning test circuit like above-mentioned before.

[0011] When the above (1) and the method of (2) are used, as a result of the flip-flop connected on the scanning chain separating distantly as a result of arrangement of a flip-flop or having been arranged in the sequence that the arrangement connected by the data signal line differs from the sequence connected on a scanning chain, wiring of a scanning chain becomes complicated, consequently the wiring area for a scanning chain becomes large.

[0012] If the method of the above (3) is used, since neither the skew of a clock nor the travelling period of a scanning signal is taken into consideration, there is a possibility that wiring which is easy to produce malfunction may be given.

[0013] Moreover, when which method of above-mentioned (1) - (3) was used, and a circuit scale was large, there was a possibility of starting malfunction from the skew of the clock in each flip-flop at the time of scanning mode. In the former, as realistic technique, it is [ that this should be avoided ] unsuitable as it is necessary to correct arrangement or wiring with a help and a circuit will large-scale-ize, if verification of operation is performed after arrangement wiring termination, applying a considerable man day using a real wiring delay simulation etc. and malfunction is discovered.

[0014] Moreover, when a different clock network exists and a beforehand different scanning chain is formed, the number of scanning chains increases and the large-scale circuit for a test for controlling them is needed. However, when it was going to perform the scanning test using one scanning chain to the flip-flop with which the signal lines of the clock controlled in order to attain simplification of the circuit for a test differ, there were many liftings and things which cannot be tested correctly about a mistake latch at the time of a scanning test. This is because a time delay is short since between flip-flops is only wiring on a scanning chain, so phase contrast is between the clock signals of a different signal line. Below, the mistake latch's generating operation is explained concretely.

[0015] For example, as shown in drawing 19, between flip-flops 302-303 is connected with the scanning signal line 333, and

suppose that a common scanning chain is formed.

[0016] Drawing 20 shows the example of the signal state of the clocks ck31 and ck32 at the time of a static test mode, and the signal state of each scanning signal lines 331-336 sequentially from the upper part. Here, the internal state of the flip-flops 301-304 in the time of changing to a static test mode is respectively set to "0", "1", "0", and "1" with the static test mode signal line 313 as an example, and suppose that a logical value "1" is sent from the data signal line 331. Moreover, suppose that the skew Tdck between clock signals exists among clocks ck [ ck31 and ] 32. The actuation at the time of a static test mode is explained below.

[0017] Immediately after changing to a static test mode, the output at the time of normal operation continues to the scanning signal line 332,333,335,336, and it is outputted to it.

[0018] In timing t511, a flip-flop 301 incorporates the signal of the scanning signal line 331, a flip-flop 302 incorporates the signal of the scanning signal line 332, and it outputs to the scanning signal line 332,333, respectively.

[0019] Next, in timing t521, a flip-flop 303 incorporates the signal of the scanning signal line 333, a flip-flop 304 incorporates the signal of the scanning signal line 335, and it outputs to the scanning signal line 335,336, respectively.

[0020] Henceforth, data will be sent one by one at the time of the standup of each clock, and each scanning signal lines 331 and 332,333,335,336 will be in a signal state as shown in this drawing, respectively. Here, as shown in this drawing, the condition of the flip-flop 302 in the time of replacing a static test mode is not told to the scanning signal line 336. Since there is a skew between clock signal lines between two flip-flops 302,303 currently controlled by the clock of a different signal line, this is because the condition of the flip-flop 301 in a static test mode change time has already spread to the signal line 333 and the value is held to it to timing t521.

[0021] Since the above faults arise, when the flip-flop controlled by the clock of a different signal line exists in a scanning chain, a beforehand different scanning chain must be formed.

[0022] This invention is made in view of this point, and provides the arrangement wiring method of the scanning test circuit for mainly attaining the following purpose, and its arrangement wiring equipment list with a semiconductor integrated circuit.

[0023] (1) The 1st purpose is to prevent malfunction by the clock skew in a scanning test circuit.

[0024] (2) Since it is expected that malfunction by clock skew arises beforehand when the flip-flop controlled by different clock is contained in the scanning test circuit, the 2nd purpose is to prevent this malfunction beforehand.

[0025] (3) The 3rd purpose is to prevent certainly malfunction produced by delay in a scanning test circuit.

[0026]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, a means which invention of claim 1 provided is the method of consisting of a fundamental step shown in drawing 1 as the arrangement wiring method of a scanning test circuit. That is, it is the method of forming the step ST 3 which performs processing for avoiding malfunction by skew of a clock at the time of scanning mode of a scanning register by which arrangement wiring was carried out [ above-mentioned ] with the step ST 1 which arranges a circuit element containing a scanning register set as the object of a scanning test, and the step ST 2 which performs global routing between each above-mentioned circuit element.

[0027] A means which invention of claim 2 provided as the arrangement wiring method of a scanning test circuit A step which arranges a circuit element containing a scanning register set as the object of a scanning test, A step which detects a step which performs global routing between each above-mentioned circuit element, and a part where a skew of a clock in a circuit by which global routing was carried out [ above-mentioned ] becomes beyond a predetermined value, It is the method of preparing a step which performs arrangement of a circuit for avoiding malfunction at the time of scanning mode by skew of a clock about a part where a skew of the above-mentioned clock becomes beyond a predetermined value, and wiring.

[0028] With a means which invention of claim 3 provided, a flip-flop is arranged as a scanning register in invention of claim 2. And the step which extracts the combination of two flip-flops with which the step which asks for the clock skew of the step which determines temporarily the connection sequence on the scanning chain of the above-mentioned flip-flop based on arrangement wiring information, and the flip-flop which continue in the scanning sequence determined temporarily on a scanning chain, and the clock skew which were called for the account of a top become beyond a predetermined value as a step which detects the part where the skew of the above-mentioned clock becomes beyond a predetermined value prepares. furthermore, as a step which performs processing which avoids the above-mentioned clock skew A step which carries out additional arrangement of the flip-flop which operates by opposite phase of a clock of two flip-flops extracted at the above-mentioned step at the time of scanning mode by which either is controlled at least in a circuit, It is the method of preparing a step which makes a re-decision of connection sequence so that a connecting location on a scanning chain of a flip-flop by which the addition was carried out [ above-mentioned ] may come between flip-flops which are two by which the extract was carried out [ above-mentioned ], and a step which wires a scanning chain according to connection sequence re-determined [ above-mentioned ].

[0029] With a means which invention of claim 4 provided, a step from which the above-mentioned clock skew extracts combination of two larger flip-flops than a predetermined value in invention of claim 3 A delay value train from a source of clock generation to a clock pin of each flip-flop is searched for based on length and the cross section of wiring. A value which added the hold time of a flip-flop of eye watch (n+1) to a value which subtracted a delay value of a flip-flop of eye watch from a delay value of the n-th flip-flop (n+1), (n+1) A no-load delay value of a flip-flop of eye watch is compared, and when the no-load delay value is not larger, it is the method of detecting as an error part.

[0030] With a means which invention of claim 5 provided, two or more clock networks shall be prepared in a circuit set as the object of the above-mentioned scanning test in invention of claim 1. And a flip-flop is arranged as a scanning register. Moreover, a step which extracts combination of two flip-flops with which networks of a step which determines temporarily connection sequence on a scanning chain of the above-mentioned flip-flop based on arrangement wiring information, and a clock continued and controlled within a scanning chain differ is prepared. furthermore, as a step which performs processing which avoids the above-mentioned clock skew A step which carries out additional arrangement of the flip-flop which operates by opposite phase of a clock by which one of two flip-flops extracted at the above-mentioned step at the time of scanning mode is controlled in a circuit, It is the method of preparing a step which makes a re-decision of connection sequence so that connection sequence on a scanning chain of a flip-flop by which the addition was carried out [ above-mentioned ] may be come between two flip-flops by which the extract was carried out [ above-mentioned ], and a step which wires a scanning chain according to connection sequence re-determined [ above-mentioned ].

[0031] With a means which invention of claim 6 provided, a flip-flop is arranged as a scanning register in invention of claim 1. Moreover, a step which determines temporarily connection sequence on a scanning chain of the above-mentioned flip-flop based on arrangement wiring information is prepared after a step which performs the above-mentioned global routing. Furthermore, it is the method of preparing a step which changes a flip-flop in every other one on a scanning chain into a flip-flop which operates by opposite phase of a clock at the time of scanning mode as a step which avoids the above-mentioned clock skew, and a step which wires a scanning chain according to connection sequence of a scanning chain by which a decision was made [ above-mentioned ].

[0032] A means which invention of claim 7 provided as a step which performs processing which avoids the above-mentioned clock skew in invention of claim 1 A step which calculates a time delay of each scanning register from a source of clock generation based on arrangement wiring information, A step which defines partial order relation between the above-mentioned scanning registers with the relative relation of the above-mentioned time delay, A step which asks for total-order relation between the above-mentioned scanning registers a basis of constraint referred to as not breaking the above-mentioned partial order relation so that an evaluation value of arrangement wiring may be optimized, It is the method of preparing a step which searches for a path of global routing between the above-mentioned scanning registers based on the above-mentioned total-order relation, and a step which performs detailed routing.

[0033] With a means which invention of claim 8 provided, a flip-flop is arranged as a scanning register in invention of claim 7. And a step which detects a larger part than a value with a skew of a clock of two flip-flops which follow a step which performs processing which avoids the above-mentioned clock skew according to the above-mentioned total order, A step which carries out additional arrangement of the flip-flop which operates by opposite phase of one of clocks of two flip-flops by which detection was carried out [ above-mentioned ], It is the method of preparing further a step which wires a scanning chain based on scanning sequence including a flip-flop which operates by opposite phase by which the addition was carried out [ above-mentioned ].

[0034] With a means which invention of claim 9 provided, two or more clock networks shall be prepared in a circuit set as the object of a scanning test in invention of claim 7. And a flip-flop is arranged as a scanning register. Moreover, a step which extracts combination of two flip-flops with which networks of a clock continued and controlled within a scanning chain with which a total order was determined as a step which performs processing which avoids the above-mentioned clock skew differ, A step which carries out additional arrangement of the flip-flop which operates by opposite phase of a clock by which one of two flip-flops extracted at the above-mentioned step at the time of scanning mode is controlled in a circuit, A step which makes a re-decision of connection sequence so that connection sequence on a scanning chain of a flip-flop by which the addition was carried out [ above-mentioned ] may be come between two flip-flops by which the extract was carried out [ above-mentioned ], It is the method of preparing further a step which wires a scanning chain according to connection sequence re-determined [ above-mentioned ].

[0035] The means which invention of claim 10 provided is the method of calculating a time delay from a source of clock generation to each scanning register, and the time delay of wiring in a scanning chain based on arrangement wiring information, asking the pair of the scanning register which becomes large in a skew of a clock as compared with a time delay of scanning wiring, and improving the arrangement wiring between the above-mentioned scanning register pairs, in invention of claim 1 at the step which performs the processing which avoids the above-mentioned clock skew.

[0036] A means which invention of claim 11 provided is the method of carrying out the sequential improvement of the path of clock wiring between pairs of the above-mentioned scanning register, or a scanning chain in invention of claim 10 at a step which performs processing which avoids the above-mentioned clock skew.

[0037] A means which invention of claim 12 provided is the method of transposing one of scanning registers to a scanning register with which time delays differ among pairs of the above-mentioned scanning register at a step which performs processing which avoids the above-mentioned clock skew in invention of claim 10.

[0038] A means which invention of claim 13 provided as arrangement wiring equipment of a scanning test circuit An arrangement layout means which arranges a circuit element containing a flip-flop set as the object of a scanning test, A wiring-design means to perform global routing between each above-mentioned circuit element, and a connection sequence preliminary decision means to determine temporarily connection sequence on a scanning chain of the above-mentioned flip-flop based on arrangement information by the above-mentioned wiring-design means, An error part detection means to extract a part where a skew of a clock between two flip-flops which continue in connection sequence determined temporarily becomes beyond a predetermined value, An additional arrangement means which carries out additional arrangement of the flip-flop which operates by opposite phase of one of clocks between two flip-flops by which the extract was carried out [ above-mentioned ] in a circuit, A connection sequence re-decision means to make a re-decision of connection sequence so that connection sequence on a scanning chain of a flip-flop by which the addition was carried out [ above-mentioned ] may be come between two flip-flops by which the extract was carried out [ above-mentioned ], A scanning chain wiring means to wire a scanning chain according to connection sequence re-determined [ above-mentioned ] is established.

[0039] A means which invention of claim 14 provided as arrangement wiring equipment of a scanning test circuit An arrangement layout means which arranges a circuit element containing a flip-flop set as the object of a scanning test, A wiring-design means to perform global routing between each above-mentioned circuit element, and a connection sequence decision means to determine connection sequence on a scanning chain of the above-mentioned flip-flop based on arrangement information by the above-mentioned wiring-design means, A flip-flop modification means to change a flip-flop in every other one on a scanning chain into a flip-flop which operates by opposite phase of a clock at the time of scanning mode, It is the method of establishing a scanning chain wiring means to wire a scanning chain according to connection sequence by which a decision was made [ above-mentioned ].

[0040] A means which invention of claim 15 provided is premised on a semiconductor integrated circuit equipped with a scanning test circuit which comes to arrange a flip-flop set as the object of a scanning test. And it is made for a flip-flop with which it operates by opposite phase of a clock only at the time of scanning mode, and a flip-flop with which it operates with a normal-state phase also at the time of scanning mode to arrange by turns on a scanning chain to the above-mentioned scanning test circuit.

[0041]

[Function] Since processing which avoids malfunction resulting from the skew of a clock is performed after global routing of the circuit element of a scanning test circuit is arranged and carried out in invention of claim 1 by the above method, the scanning test circuit from which the mistake latch by clock skew is not woken up will be built.

[0042] In invention of claim 2, if the part where the skew of a clock becomes beyond a predetermined value is detected after global routing of the circuit element of a scanning test circuit is arranged and carried out, since processing which avoids malfunction resulting from clock skew about the part concerned will be performed, in the scanning test circuit built, malfunction by clock skew will be prevented certainly.

[0043] In invention of claim 3, the part where a possibility of producing malfunction from the clock skew between each flip-flop is high is detected certainly, and the flip-flop which operates by the opposite phase is inserted in the place where a possibility of waking up a mistake latch by the skew of a clock is high. Therefore, the flip-flop controlled by the inserted clock of an opposite phase holds the output of the time amount from falling of a clock to the following falling, and the flip-flop of the preceding paragraph. Therefore, even if phase contrast has arisen between the clock which controls a latter flip-flop, and the clock which controls the flip-flop of the preceding paragraph, a latter flip-flop becomes possible [ latching the output before 1 clock of the flip-flop of the preceding paragraph ]. Therefore, malfunction resulting from clock skew will be avoided certainly.

[0044] In invention of claim 4, an error part will be certainly detected in invention of claim 3.



[0045] In invention of claim 5, a scanning test is attained with one scanning chain between the flip-flops of the boundary where clock networks differ in spite of the phase shift of the clock between the clock signal lines which become possible [latching the output before 1 clock of the flip-flop of the preceding paragraph], and change with insertion of an opposite phase flip-flop according to the same operation as invention of above-mentioned claim 3.

[0046] Malfunction resulting from clock skew will be avoided beforehand, without invention of claim 6 taking the time and effort which detects the part which produces a skew error, since it is uniformly changed into an opposite phase flip-flop alternately to each flip-flop in a scanning chain.

[0047] By invention of claim 7, malfunction resulting from clock skew is avoided at the step which determines the partial order relation between each scanning register, and the evaluation value of each scanning register is further optimized at the step which asks for total-order relation. Therefore, while malfunction resulting from clock skew is avoided, wiring of a scanning chain will be simplified as much as possible.

[0048] At invention of claim 8, malfunction by clock skew will be certainly avoided by insertion of an opposite phase flip-flop also in the bottom of a condition which malfunction resulting from nonavoidable clock skew produces by invention of claim 7.

[0049] At invention of claim 9, malfunction by clock skew will be certainly avoided by insertion of an opposite phase flip-flop also in the bottom of a condition which malfunction resulting from existence of a nonavoidable different-system clock produces by invention of claim 7.

[0050] In invention of claim 10, it becomes possible to a scanning test circuit to perform improvement processing of arrangement wiring by design automation, and a layout man day will be reduced sharply.

[0051] In invention of claim 11, since the sequential improvement of the path of the clock wiring between the pairs of each scanning register or a scanning chain is carried out, malfunction by the clock skew in all parts will be avoided certainly.

[0052] In invention of claim 12, even if there is a part with a possibility that malfunction by clock skew may arise, malfunction is avoided by the replacement with the scanning register with which time delays differ. Therefore, malfunction will be avoided, without causing increase of the circuit area by addition of a scanning register.

[0053] The arrangement wiring equipment which can form the scanning test circuit which does an operation of invention of claim 3 so will consist of invention of claim 13.

[0054] The arrangement wiring equipment which can form the scanning test circuit which does an operation of invention of claim 6 so will consist of invention of claim 14.

[0055] In invention of claim 15, the semiconductor integrated circuit which does an operation of invention of claim 6 so will be formed.

[0056]

[Example] Hereafter, the example of this invention is explained, referring to a drawing.

[0057] (The 1st example) The 1st example is first explained based on drawing 2 - drawing 8.

[0058] Drawing 2 is the block diagram showing the configuration of the arrangement wiring equipment which performs arrangement wiring of the scanning test circuit concerning the 1st example. In drawing 2, 10 is the central-process section (CPU). In this central-process section 10 The arrangement and the global-routing section 11 which perform global routing, such as arrangement of each circuit element, a clock signal line between circuit elements, and a data signal line, The scanning sequence decision section 12 which determines scanning sequence, and the different-system clock detecting element 13, The skew error detection section 14, the opposite phase flip-flop arrangement section 15 for arranging an opposite phase flip-flop in a scanning chain, and the scanning chain wiring section 16 that performs wiring of a scanning chain are built in. 20 is the storage section. Moreover, in this storage section 20 The cel name connection information storage section 21 which memorizes a name, an initial entry, etc. of each cel, The arrangement wiring information storage section 22 which memorizes the information about arrangement of each circuit element, and the information about wiring, The scanning sequence storage section 23 which memorizes the scanning sequence at the time of forming a scanning chain, and the clock skew error information storage section 24 which memorizes malfunction resulting from clock skew are built in. Moreover, 30 is the input section and 40 is the output section.

[0059] Next, the procedure of the arrangement wiring method of the scanning test circuit by the above-mentioned arrangement wiring equipment is explained based on the flow chart of drawing 3. In addition, the identifier and initial entry of the cel concerned are beforehand memorized by the cel name connection information storage section 20 of arrangement wiring equipment.

Arrangement processing of each circuit element is performed without using the initial entry about a scanning chain at a step ST 11 by the arrangement section of the central-process section 10, and the global-routing section 11, as shown in drawing 3, and arrangement and the global-routing section 11 perform wiring processing between the cels except a scanning chain at a step ST 12. And such arrangement wiring information is memorized in the arrangement wiring information storage section 22 of the storage section 20. Next, processing which determines temporarily the connection sequence of the flip-flop in a scanning chain based on the arrangement result in the above-mentioned step ST 11 at a step ST 13 is performed. This scanning sequence is memorized in the scanning sequence storage section 23 of the storage section 20.

[0060] Moreover, it distinguishes whether the clock network which is different from each other in a circuit exists by the different-system clock detecting element 13 at a step ST 14. By distinction of this step ST 14, when a different-system clock exists, after setting up between two flip-flops connected to that different-system clock at a step ST 15 with an error part, when a different-system clock does not exist in a circuit, it remains as it is, and progresses to a step ST 16, respectively. And the time delay of a clock is calculated by the skew error detection section 1 at a step ST 16. At this time, the delay value from the input pin of a block of a clock to the flip-flop for a scan is calculated. Furthermore, detection processing of a skew error in which the skew error detection section 1 detects whether there is any error by the skew in the flip-flop which continues on a scanning chain at a step ST 17 is performed. That is, it distinguishes whether there is any part where the below-mentioned aggregate value  $S_c$  computed from the time delay of a clock is larger than the no-load delay value  $K$ . And between the flip-flops which serve as  $S_c < K$  at a step ST 18 is set up with an error part.

[0061] Next, the opposite phase flip-flop which operates by the opposite phase of a clock between two flip-flops which produced the skew error concerned is arranged at a step ST 19 to the part set up by control of the above-mentioned step 14-STs 18 with the error part by the opposition flip-flop arrangement section 15 of the central-process section 10. Since modification arises in order of arrangement of a circuit element, and a scan by having arranged the opposite phase flip-flop at this time, this new arrangement wiring information is memorized in the arrangement wiring information storage section 22 of the storage section, and scanning sequence is memorized in the scanning sequence storage section 23. Furthermore, the scanning sequence decision section 12 performs re-decision processing of the sequence of a scanning chain based on the result of the above-mentioned step ST 19 at a step ST 20, and the scanning chain wiring section 16 performs wiring processing of a scanning chain at a step ST 21. This final arrangement wiring information is memorized in the arrangement wiring information storage section 22.

[0062] In addition, the actuation in each above-mentioned step is specifically made as follows.

[0063] At the step ST 11 which performs cel arrangement processing, after removing the initial entry about a scanning chain from

all connection relation, arrangement wiring is performed by the method shown in Chapter 4 of "the layout I of Iwanami lecture microelectronics 4VLSI."

[0064] At a step ST 13, in the method of arranging a cel for every train like arrangement wiring of a standard cell, a number is assigned to the flip-flop for a scan for every train, the whole sequence is determined sequentially from a top, and a scanning sequence train is created.

[0065] At a step ST 16, it asks for the length and width of face of each wiring segment from the input pin of a block of a clock to the clock pin of the flip-flop for a scan, the delay value from a block input pin is calculated using the resistance and capacity value per unit area, and the value is memorized according to the sequence searched for at a step ST 13.

[0066] At a step ST 17, from the delay value train searched for at a step ST 14, a value is taken out one by one and the no-load delay value K of the flip-flop corresponding to the value Sc which added the hold time of the flip-flop corresponding to a next value to the value which subtracted the next value from the previous value, and a next value is compared. For example, the value which added the hold time of the flip-flop of No. 2 to the difference value which subtracts the value of No. 2 from the value of No. 1, and can be found is compared with the no-load delay value of the flip-flop of No. 2. And when the no-load delay value is not larger than the above-mentioned aggregate value, between the flip-flop is detected as an error part, and it memorizes on an error part list.

[0067] At a step ST 19, a sequential error part is taken out from an error part list, and additional arrangement of the flip-flop which operates by the opposite phase on the same train as an error part is carried out. When it is difficult for an applicable train to arrange the flip-flop of an opposite phase, additional arrangement is carried out in the train near the train at a generous train. At a step ST 21, while wiring a scanning chain according to the sequence of each flip-flop connected in a step ST 20, additional insertion of the flip-flop added to the predetermined part of a scanning sequence list at a step ST 19 is carried out.

[0068] Next, drawing 4 shows the configuration of the scanning test circuit constituted by above-mentioned arrangement wiring equipment. In this drawing, ck11 is the 1st clock in a chip, ck12 is the 2nd clock, and 113 is a static test mode signal line for inputting the change signal of a static test mode and the normal mode. 101 and 102 are flip-flops connected to the signal line of the 1st clock ck11, and 103 and 104 are flip-flops connected to the signal line of the 2nd clock ck12. In the normal mode, it sets to each flip-flops 101-104, and Terminals D are the input section of a data signal, and the input section of the Terminal SI scan-signal at the time of a static test mode. An output is outputted equally to Terminals SQ and Q.

[0069] Here, the flip-flop 105 of above-mentioned drawing 4 is a flip-flop controlled by the opposite phase of the 2nd clock ck12, is set up with an error part by control of the step 14 and STs 15 in the flow chart of above-mentioned drawing 3, and is arranged by control of a step ST 19 in a scanning test circuit. And wiring processing of the scanning signal lines 131-136 which connect each flip-flops 101-105 by control of the step ST 21 of drawing 3 in the sequence shown in drawing is performed. That is, the scanning chain which comes to connect each flip-flops 101-105 with a serial with the scanning signal lines 131-136 is constituted. In addition, in this drawing, 150-153 are the blocks of a combinational circuit, and propagation of the data at the time of normal operation is performed by the data signal lines 141-148 which connect these combinational circuits 150-153 and each flip-flops 101-104.

[0070] Moreover, drawing 5 is set up with an error part by control of the step 17 and STs 18 of above-mentioned drawing 3, and the configuration of a scanning cel circuit when the opposite phase flip-flop 105 has been arranged by control of a step ST 19 in the scanning test circuit is shown. In this case, each flip-flops 101-105 are altogether controlled by the 1st common clock ck11.

[0071] The actuation at the time of performing a scanning test to below using the scanning cel circuit shown in above-mentioned drawing 4 using the circuit shown in drawing 6 and drawing 7 is explained. Each of drawing 6 and drawing 7 shows the example of the condition of the clocks ck11 and ck12 at the time of a static test mode, and the signal state of the scanning signal lines 131-136 sequentially from the upper part. Here, as an example, respectively, the internal state of the flip-flops 101-104 in the time of changing to a static test mode is set to "0", "1", "0", and "1", and suppose it that "1" is sent from the scanning signal line 131. Moreover, suppose that the skew Tdck between clock networks exists between the 1st clock ck11 and the 2nd clock ck12. Drawing 6 shows the case where Skew Tdck of drawing 7 is larger than the half period of a clock for the case where Skew Tdck is smaller than the half period of a clock, respectively.

[0072] First, the actuation shown in drawing 6 is explained. Immediately after changing to a static test mode with the mode change signal 113 at the beginning, the output at the time of normal operation continues to the scanning signal line 132,133,135,136, and it is outputted to it.

[0073] Next, in timing t311, a flip-flop 101 incorporates the signal of the scanning signal line 131, a flip-flop 102 incorporates the signal of the scanning signal line 132, and it outputs to the scanning signal line 132,133, respectively. And in timing t321, a flip-flop 103 incorporates the signal of the scanning signal line 134, a flip-flop 104 incorporates the signal of the scanning signal line 135, and it outputs to the scanning signal line 135,136, respectively. Furthermore, in timing t331, a flip-flop 105 incorporates the signal of the scanning signal line 133, and outputs to the scanning signal line 134.

[0074] Next, in timing t312, a flip-flop 101 incorporates the signal of the scanning signal line 131, a flip-flop 102 incorporates the signal of the scanning signal line 132, and it outputs to the scanning signal line 132,133, respectively. And in timing t322, a flip-flop 103 incorporates the signal of the scanning signal line 134, a flip-flop 104 incorporates the signal of the scanning signal line 135, and it outputs to the scanning signal line 135,136, respectively.

[0075] Henceforth, data is sent one by one on scanning pass by repeating the above-mentioned actuation at the time of the standup of each clock, or falling.

[0076] Since the flip-flop 105 holds the output of the flip-flop 104 of the preceding paragraph during an order half period to the standup of the 2nd clock ck12 here, Also when the 2nd clock ck12 has produced the delay below a half period to the 1st clock ck11, it sets to timing t321 and t322. The value which a flip-flop 103 holds turns into a value which the flip-flop 102 held in timing t310 and t311, respectively, and becomes possible [ holding right scan data ]. Therefore, in the scanning signal line 136, the condition of each flip-flop appears one by one.

[0077] Next, the actuation in drawing 7 is explained. Immediately after changing to a static test mode with the mode change signal 113 at the beginning, the output at the time of normal operation continues to the scanning signal line 132,133,135,136, and it is outputted to it.

[0078] Next, in timing t421, a flip-flop 103 incorporates the signal of the scanning signal line 134, a flip-flop 104 incorporates the signal of the scanning signal line 135, and it outputs to the scanning signal line 135,136, respectively. And in timing t411, a flip-flop 101 incorporates the signal of the scanning signal line 131, a flip-flop 102 incorporates the signal of the scanning signal line 132, and it outputs to the scanning signal line 132,133, respectively. Furthermore, in timing t431, a flip-flop 105 incorporates the signal of the scanning signal line 133, and outputs to the scanning signal line 134.

[0079] Next, in timing t422, a flip-flop 103 incorporates the signal of the scanning signal line 134, a flip-flop 104 incorporates the signal of the scanning signal line 135, and it outputs to the scanning signal line 135,136, respectively. And in timing t412, a flip-flop 101 incorporates the signal of the scanning signal line 131, a flip-flop 102 incorporates the signal of the scanning signal line 132,



and it outputs to the scanning signal line 132,133, respectively. Furthermore, in timing t432, a flip-flop 105 incorporates the signal of the scanning signal line 133, and outputs to the scanning signal line 134.

[0080] Henceforth, data is sent one by one on scanning pass by repeating the above-mentioned actuation at the time of the standup of each clock, or falling.

[0081] Also when the 2nd clock ck12 has produced the delay more than a half period to the 1st clock ck11, here If the change to a static test mode is performed between the standups of the 2nd clock ck12 from the standup of the 1st clock ck11 In timing t421 and t422, the value which a flip-flop 103 holds turns into a value which the flip-flop 102 held in timing t410 and t411, respectively, and becomes possible [ holding right scan data ]. Therefore, in the scanning signal line 136, the condition of each flip-flop appears one by one.

[0082] The above result, when a skew exists between clock signal lines, one thing for scanning chains to do for a \*\*\*\* scan becomes possible.

[0083] In addition, in this example, although control of the flip-flop of an opposite phase was explained using the clock of a latter flip-flop, even if it uses the clock of the flip-flop of the preceding paragraph, an equivalent effect is acquired.

[0084] Moreover, although this example explained using the flip-flop controlled by the 1 phase clock, an equivalent effect can be acquired even if it uses the flip-flop of the three phase clock control which performs actuation as shown in drawing 8 (a) - (c). However, drawing 8 (c) shows a circuit model for each [ signal states /, such as a clock / drawing 8 / (a) / at the time of normal operation, / drawing 8 / (b) / at the time of a static test mode ] signal state, respectively.

[0085] Moreover, although this example explained the change to a static test mode using the static test mode signal, this invention depends and is effective in the method to a static test mode to change.

[0086] Moreover, if the flip-flop in this example may consist of a basic flip-flop circuit and a test circuit and has the same function, it will not be limited to the circuitry.

[0087] Moreover, although the timing chart which shows the signal state of each signal line between the flip-flops of drawing 5 controlled by the single network clock omits in this example, when the skew T<sub>sk</sub> of the part which produced the skew error is longer than the half period of a clock so that clearly from the timing chart of above-mentioned drawing 6 and drawing 7, it becomes possible not to cause malfunction resulting from the clock skew between flip-flops, and to scan it also to any in the case of being short.

[0088] In addition, it cannot be overemphasized that only either may be performed, although the 1st example of the above explained the example which carries out arrangement wiring so that the case where a skew arises by delay of the case where a skew arises when clock networks differ, and a clock could be processed to coincidence.

[0089] (The 2nd example) Next, the 2nd example is explained based on drawing 9 - drawing 11. Drawing 9 is the block diagram showing the configuration of the arrangement wiring equipment which performs arrangement wiring of the scanning test circuit concerning the 2nd example. As shown in this drawing, the configuration of the arrangement wiring equipment concerning the 2nd example is simplified rather than the configuration of the arrangement wiring equipment in the 1st example of the above. That is, the different-system clock detecting element 13 and the skew error detection section 14 are not arranged, but further, it replaces with the opposite phase flip-flop arrangement section 15, and the opposite phase flip-flop modification section 17 is arranged at the central-process section 10. Moreover, the clock skew error information storage section 24 is not arranged in the storage section 20. Other configurations are the same as the configuration shown in drawing 2.

[0090] Hereafter, the arrangement wiring method of the scanning cel circuit in the 2nd example is explained based on the flow chart of drawing 10.

[0091] First, after performing the same control as steps ST11-ST13 in the flow chart of above-mentioned drawing 3 at steps ST31-ST33, the opposite phase flip-flop modification section 17 determines the replacement cel to an opposite phase flip-flop at a step ST 34, and relocation processing of an opposite phase flip-flop is performed at a step ST 35. At this time, the flip-flop in every other one in the flip-flop which continues on a scanning chain is changed into the flip-flop to which it operates with an opposite phase clock only at the time of scanning mode. And based on drawing and its information, a scanning chain is wired [ at a step ST 36 ] in scanning sequence information from the scanning sequence storage section 23, and the contents of storage of the arrangement wiring information storage section 22 are updated.

[0092] Drawing 11 shows the example of the scanning test circuit constituted by the above-mentioned arrangement wiring processing. As shown in this drawing, the scanning chain 130 which connected by turns the flip-flop 101,103 which operates with the normal-state phase of a clock ck11, and the flip-flop 102,103 which operates by the opposite phase of a clock ck11 is formed. That is, in any [ at the time of normal operation and test actuation ] case, data is incorporated in the start of a clock, a flip-flop 102,104 incorporates data in the start of a clock at the time of normal operation, and a flip-flop 101,103 incorporates data in falling of a clock at the time of a test. Other configurations are the same as the configuration of above-mentioned drawing 4 etc.

[0093] In this example, since malfunction by the skew between all flip-flops can be prevented effectively and it is not accompanied by the activity of detection of a skew part etc. in that case so that clearly from the timing chart of drawing 6 in the 1st example of the above, and drawing 7, simplification of control can be attained.

[0094] (The 3rd example) Next, the 3rd example is explained based on drawing 12 and drawing 13. It is premised on a different-system clock not existing but only one common clock existing in this example.

[0095] Drawing 12 shows the flow chart of the arrangement wiring method of 1 scan test circuit concerning the 3rd example. First, after arranging each cel at a step ST 41, global-routing processing is performed at a step ST 42. So far, it is the same as that of the 1st and 2nd example of the above. Next, the time delay D<sub>c</sub> of a clock is calculated at a step ST 43. After performing to the global-routing processing of those other than the scanning signal line of a step ST 42 at this time, the clock time delay to the clock input terminal of each flip-flop is calculated.

[0096] Next, the following procedures perform decision processing of the semi-order of a scanning flip-flop at a step ST 44.

[0097] When scanning delay in case the wiring load-carrying capacity of a scanning flip-flop is "0" is set to D<sub>s0</sub>, the universal set of a scanning flip-flop is divided into the following subsets S<sub>i</sub> with the propagation delay value DR of the clock from the source of clock generation to each flip-flop.

[0098] The propagation delay DR of the clock to Flip-flop R satisfies  $D_{s0} \cdot (i-1) < DR < D_{s0} \cdot i$  from the source of  $S_i = \{\text{flip-flop R}\}$  clock generation. }

Supposing it restricts two flip-flops R<sub>a</sub> and R<sub>b</sub> of arbitration when the subset in which two flip-flops R<sub>a</sub> and R<sub>b</sub> of the above-mentioned arbitration are contained changes with order relation which goes to smallness from the size of i of the subset S<sub>i</sub> in which it is contained at this time, and they give order relation, the partial order relation by the size of i will be defined among all flip-flops. And the total order of all flip-flops with which are satisfied of this partial order relation is searched for (that is, rank all flip-flops with a single tier), when scanning wiring is performed so that it may become tying in a row according to that permutation, all flip-flops will satisfy a formula (1) and all scanning circuits will carry out normal actuation.

[0099] In addition, by the above argument, even if it uses any value smaller than D<sub>s0</sub> instead of D<sub>s0</sub>, the same thing can be said.

For example, a flip-flop may be arranged in the reverse order of the time delay of a clock as the above-mentioned partial order relation.

[0100] Next, re-decision processing of the total order of a scanning chain is performed at a step ST 45. It makes the re-decision of the total order from which a wire length serves as min, the processing in this step ST 45 satisfying the partial order relation determined by decision processing of the semi-order of a step ST 44.

[0101] Hereafter, total-order re-decision processing of a scanning chain is explained, referring to drawing 13. For 200a-200j, in this drawing, a scanning flip-flop, and 230a-230k of a scanning signal line (scanning global routing) and 280 are [ a scanning input terminal and 290 ] scanning output terminals.

[0102] In the partial order relation ( $S_n$ , —,  $S_3$ ,  $S_2$ , and  $S_1$ ) determined by control of the above-mentioned above-mentioned step ST 44 here subset  $S_n$  Flip-flop 200dca, and 200d, 200g and 200j are contained. \*\*\*\* — subset  $S_{n-1}$  \*\*\*\* — Flip-flops 200h and 200b are contained, and Flip-flops 200e and 200i contain in a subset  $S_2$  — having — subset  $S_1$  \*\*\*\* — Flip-flops 200c and 200f shall be contained (that is, it is the case of  $n=4$ )

[0103] First, it is re-determined that the connection sequence of each flip-flop will connect scanning signal-line 230a to ejection and flip-flop 200a nearest to [ among these ] the scanning input terminal 280 for the set (namely,  $S_n$ ) of the scanning flip-flop set in order by the most significant. Next, it is re-determined from flip-flop 200a that connection relation will connect scanning signal-line 230b to nearest flip-flop 200d. This processing is performed until all the flip-flops in  $S_n$  are connected. In the example of drawing 13, connection relation will be re-determined in order of Flip-flops 200a, 200d, 200g, and 200j.

[0104] Next, set  $S_{n-1}$  of a flip-flop It receives and is set  $S_{n-1}$  considering the new starting point of a scanning signal line as the scanning signal-line last point in  $S_n$  (namely, scanning output terminal of flip-flop 200j). It is re-determined that connection relation will connect the thing nearest to the new starting point in order among the flip-flops contained. In the example of drawing 13, it will connect in order of Flip-flops 200h and 200b.

[0105] the above processing — set  $S_{n-1}$  —  $S_1$  up to — it carries out in order and it is re-determined that connection relation will connect the scanning output terminal 290 of a block from the scanning output terminal of scanning flip-flop 200c finally connected to a scanning signal line.

[0106] Thereby, after ending re-decision processing of the total order of each flip-flops 200a-200j, it progresses to a step ST 46, wiring processing of a scanning chain is performed, and this ends arrangement wiring processing of a scanning chain.

[0107] In the \*\*\*\* 3 example, since the time delay of a clock is taken into consideration before determining the semi-order in a scanning chain, there are the following advantages.

[0108] That is, it sets to wiring processing of the step ST 12 of drawing 3, and the method shown in the 1st example of the above is "1991 year about a clock. When it wires based on the algorithm which reduces a skew which is indicated by Proceeding of IEEE International Conference on Computer-Aided Design p336 – 339", it is effective, but when a clock is wired like other networks, it is expected that the skew of a clock increases. Therefore, when the method of the 1st example is used, what must insert many flip-flops of an opposite phase depending on conditions may arise. To it, in the \*\*\*\* 3 example, the time delay of a clock is beforehand taken into consideration, and it is a formula (1). Since total-order relation is re-determined as the basis of this constraint after determining that partial order relation will be satisfied, even if it does not insert an opposite phase flip-flop, there is an advantage which can avoid malfunction resulting from clock skew by only performing connection relation of a scanning chain appropriately.

[0109] in addition, a different-system clock — existing — control of the 3rd example of the above — in addition — difference — when two continuous scanning registers controlled by the clock exist, you may make it insert an opposite phase flip-flop between two scanning registers

[0110] (The 4th example) Next, the 4th example is explained, referring to drawing 14.

[0111] Drawing 14 is a flow chart which shows the arrangement wiring method of the scanning test circuit in the 4th example. First, at a step 51-STs 53, control of the step 41-STs 43 in the 3rd example of the above and same control are performed. By the computation of the time delay in a step ST 53, count with the scanning time delay  $D_s$  and the clock time delay  $D_c$  is performed in that case.

[0112] Next, improvement processing of arrangement wiring of a scanning chain is performed at a step ST 54. That is, it asks for the pair of the scanning register cel to which the skew of a clock becomes large as compared with delay of scanning wiring, and or it makes thick clock wiring between the above-mentioned scanning register cel pairs, it repeats successively until it transposes scanning wiring to high wiring of resistance or is [ malfunction / of a scan of processing of making a long circuit take and transposing to the large thing of a time delay ] satisfied in the conditions (formula (1)) which do not occur. Or it is the method of satisfying the conditions (formula (1)) in which malfunction of a scan does not occur, by repeating transposing the scanning register in the direction of the preceding paragraph of a scanning register pair with a problem to the late thing of a time delay instead of changing scanning wiring. Any method can be altogether performed by design automation.

[0113] Finally, wiring processing of a scanning chain is performed like the 3rd example of the above at a step ST 55.

[0114] In the 4th example, since improvement processing of the scanning arrangement wiring in a step ST 54 can be altogether performed by design automation, drastic reduction of a layout man day is expectable.

[0115] (The 5th example) Next, the 5th example is explained based on the flow chart of drawing 15.

[0116] The method of the 3rd example of the above is effective when the variation in the time delay of a clock is small. However, when the variation in a clock is large, a possibility that the time delay of the clock of the flip-flop for a scan arranged in the specific location cannot set all flip-flops in order by the above-mentioned method when large [ to a considerable degree ] compared with the time delay of the clock of other flip-flops arises. So, in the \*\*\*\* 5 example, the opposite phase flip-flop spread in the 1st example of the above is inserted in such a part.

[0117] Drawing 15 is a flow chart which shows the arrangement wiring method of the scanning test circuit concerning the 5th example. First, at a step 61-STs 64, the same processing as the step 41-STs 44 shown in drawing 12 of the 3rd example of the above is performed.

[0118] Next, total-order attachment of a scanning flip-flop and detection processing of an error are performed at a step ST 65. In that case, total-order attachment memorizes an error part on an error part list, when the part with which skew conditions are not filled is discovered, while carrying out like the 3rd example. And additional arrangement of the flip-flop which operates error information by the opposite phase on the train of either of two flip-flops which has caused drawing and an error one by one, or a train in the meantime is carried out from an error part list at a step ST 66. Furthermore, additional insertion of the flip-flop added to the predetermined part of the scanning sequence list created by processing of a step ST 65 is carried out.

[0119] Then, re-decision processing of the sequence of a scanning chain is performed at a step ST 67, and wiring processing of a scanning chain is performed at a step ST 68.

[0120] Therefore, in the 5th example, the higher efficacy that the scanning chain which does not malfunction even if big variation is in the delay value of the clock within a block can be created in addition to the effect of the 3rd example of the above can be demonstrated.

[0121] Moreover, if the flip-flop in this example may consist of a basic flip-flop circuit and a test circuit and has the same function, it will not be limited to the circuitry.

[0122]

[Effect of the Invention] Since it was made to perform processing for avoiding malfunction by the skew of the clock at the time of the scanning mode of the scanning register by which arrangement wiring was carried out according to invention of claim 1 after performing the arrangement and global routing containing a scanning register of a circuit element as the arrangement wiring method of a scanning test circuit as explained above, the scanning test circuit do not start the mistake latch by clock skew can be built.

[0123] According to invention of claim 2, as the arrangement wiring method of a scanning test circuit After performing the arrangement and global routing containing a scanning register of a circuit element, the part where the skew of the clock in the circuit by which global routing was carried out becomes beyond a predetermined value is detected. Since it was made to perform arrangement of the circuit for avoiding malfunction at the time of the scanning mode by the skew of a clock about the part where the skew of a clock becomes beyond a predetermined value, and wiring, malfunction by clock skew can be prevented certainly.

[0124] Since according to invention of claim 3 clock skew extracts the combination of two larger flip-flops than a predetermined value and was made to carry out additional arrangement of the opposite phase flip-flop in the part concerned after having arranged the flip-flop as a scanning register and determining temporarily the connection sequence on the scanning chain of the flip-flop based on arrangement wiring information in invention of claim 2, malfunction resulting from clock skew can be prevented more certainly.

[0125] Since between the flip-flop was detected as an error part when a predetermined aggregate value was not larger than the no-load delay value of one flip-flop in case the combination of two flip-flops with which clock skew becomes beyond a predetermined value was extracted in invention of claim 3 according to invention of claim 4, the part which produces malfunction will be detected certainly.

[0126] Since it was made to carry out additional arrangement of the opposite phase flip-flop between two flip-flops with which the networks of a clock differ in invention of claim 1 according to invention of claim 5, even if there is a phase shift of the clock between different clock signal lines, the scanning test circuit in which a scanning test is possible can be formed with one scanning chain, without producing malfunction.

[0127] Malfunction resulting from clock skew can be prevented beforehand, without according to invention of claim 6, requiring the time and effort which detects the part which produces a skew error in invention of claim 1, since the flip-flop in every other one on a scanning chain was changed into the opposite phase flip-flop.

[0128] The simplification of wiring of a scanning chain can be planned avoiding malfunction resulting from clock skew, since according to invention of claim 7 it asked for total-order relation so that the partial order relation between scanning registers might be defined and the evaluation value of arrangement wiring might be optimized under this definition with the relative relation of the time delay of each scanning register in invention of claim 1.

[0129] Since the skew of the clock of two flip-flops which continue according to a total order was [ according to invention of claim 8 ] made to carry out additional arrangement of the opposite phase flip-flop in the part which becomes beyond a predetermined value in addition to invention of claim 7, in invention of claim 7, nonavoidable malfunction can be prevented certainly.

[0130] Since it was made to carry out additional arrangement of the opposite phase flip-flop among both when two flip-flops which continue according to a total order were controlled [ according to invention of claim 9 ] by the different-system clock in addition to invention of claim 7, in invention of claim 7, malfunction with a nonavoidable different-system clock can be prevented certainly.

[0131] Since the skew of a clock asks for the pair of the scanning register which becomes large as compared with the time delay of scanning wiring and improved the arrangement wiring between scanning register pairs when performing processing which avoids clock skew in invention of claim 1 according to invention of claim 10, drastic reduction of the layout man day of a scanning test circuit can be planned.

[0132] Since it was made to carry out the sequential improvement of the path of the clock wiring between the pairs of a scanning register, or a scanning chain when performing processing which avoids clock skew in invention of claim 10 according to invention of claim 11, malfunction by the clock skew in all parts can be prevented certainly.

[0133] Malfunction by clock skew can be prevented without causing increase of the circuit area by addition of a scanning register, since one of scanning registers was transposed to the scanning register with which time delays differ among the pairs of a scanning register when performing processing which avoids clock skew in invention of claim 10 according to invention of claim 12.

[0134] According to invention of claim 13, as arrangement wiring equipment of a scanning test circuit The arrangement layout means which arranges a circuit element, and a wiring-design means to perform global routing between each circuit element, A connection sequence preliminary decision means to determine the connection sequence of a flip-flop temporarily, An error part detection means to detect the part where clock skew becomes between two flip-flops beyond a predetermined value, Since the additional arrangement means which carries out additional arrangement of the opposite phase flip-flop, a connection sequence re-decision means to make the re-decision of connection sequence, and the scanning chain wiring means were formed in the error part The arrangement wiring equipment for forming the scanning test circuit which demonstrates the effect of the invention of claim 3 can be offered.

[0135] According to invention of claim 14, as arrangement wiring equipment of a scanning test circuit The arrangement layout means which arranges a circuit element, and a wiring-design means to perform global routing between each circuit element, A connection sequence decision means to determine the connection sequence of a flip-flop, and a flip-flop modification means to change the flip-flop in every other one on a scanning chain into the flip-flop which operates by the opposite phase of a clock at the time of scanning mode, Since a scanning chain wiring means to wire a scanning chain was established, cast which offers the arrangement wiring equipment for forming the scanning test circuit which demonstrates the effect of the invention of claim 6 can be performed.

[0136] According to invention of claim 15, as a configuration of the semiconductor integrated circuit equipped with the scanning test circuit, since the opposite phase flip-flop and the normal-state phase flip-flop were arranged by turns on the scanning chain, the effect of the invention of claim 6 can be demonstrated.

---

[Translation done.]

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

---

## [Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing the fundamental configuration of invention of claim 1.

[Drawing 2] It is the block diagram showing the configuration of the arrangement wiring equipment of the scanning test circuit concerning the 1st example.

[Drawing 3] It is flow chart drawing showing the procedure of the arrangement wiring method of the scanning test circuit concerning the 1st example.

[Drawing 4] It is the electrical diagram showing the configuration in the case of arranging an opposite phase flip-flop in the boundary section of the different-system clock of the scanning test circuit concerning the 1st example.

[Drawing 5] It is the electrical diagram showing a configuration in case the skew of the scanning test circuit concerning the 1st example arranges an opposite phase flip-flop in a large part.

[Drawing 6] It is timing-chart drawing showing the signal state on a scanning chain in case there is a skew below the half period of a clock in the 1st example.

[Drawing 7] It is timing-chart drawing showing the signal state on a scanning chain in case there is a skew more than the half period of a clock in the 1st example.

[Drawing 8] It is drawing showing the signal state at the time of using the clock of a three phase circuit in the 1st example, and the configuration of a flip-flop.

[Drawing 9] It is the block diagram showing the configuration of the arrangement wiring equipment of the scanning test circuit concerning the 2nd example.

[Drawing 10] It is flow chart drawing showing the procedure of the arrangement wiring method of the scanning test circuit concerning the 2nd example.

[Drawing 11] It is the electrical diagram showing the configuration of the scanning test circuit concerning the 2nd example.

[Drawing 12] It is flow chart drawing showing the procedure of the arrangement wiring method of the scanning test circuit concerning the 3rd example.

[Drawing 13] It is the block diagram showing the configuration of the scanning test circuit concerning the 3rd example.

[Drawing 14] It is flow chart drawing showing the procedure of the arrangement wiring method of the scanning test circuit concerning the 4th example.

[Drawing 15] It is flow chart drawing showing the procedure of the arrangement wiring method of the scanning test circuit concerning the 5th example.

[Drawing 16] It is the electrical diagram showing the relation of the clock skew and the scanning delay between two scanning registers.

[Drawing 17] It is the block diagram showing the general configuration of the conventional scanning test circuit.

[Drawing 18] When a different-system clock exists, it is the electrical diagram showing the configuration of the conventional scanning test circuit in which two scanning chains were formed.

[Drawing 19] When a different-system clock exists, it is the electrical diagram showing the configuration of the conventional scanning test circuit in which one scanning chain was formed.

[Drawing 20] When a different-system clock exists, it is timing-chart drawing showing the signal state in the conventional scanning test circuit in which one scanning chain was formed.

## [Description of Notations]

101-104 Flip-flop

105 Opposite Phase Flip-flop

113 Static Test Mode Signal Line

130 Scanning Chain

131-135 Scanning signal line

141-148 Data signal line

151-153 Combinational circuit

---

[Translation done.]

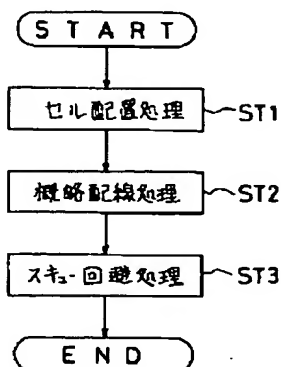
## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

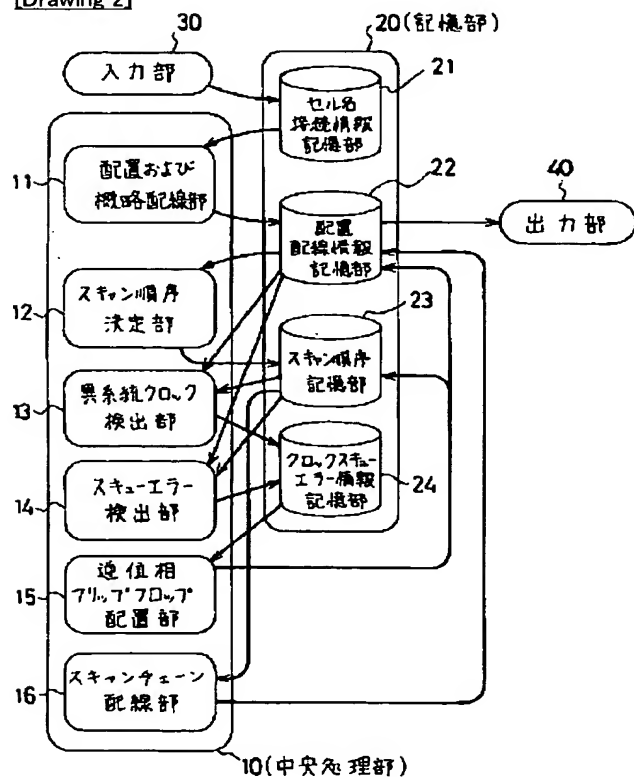
- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

## DRAWINGS

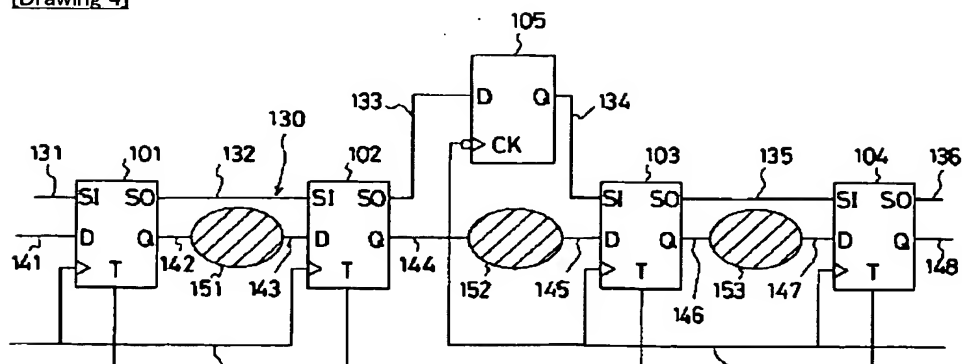
[Drawing 1]

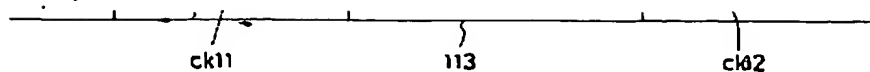


[Drawing 2]

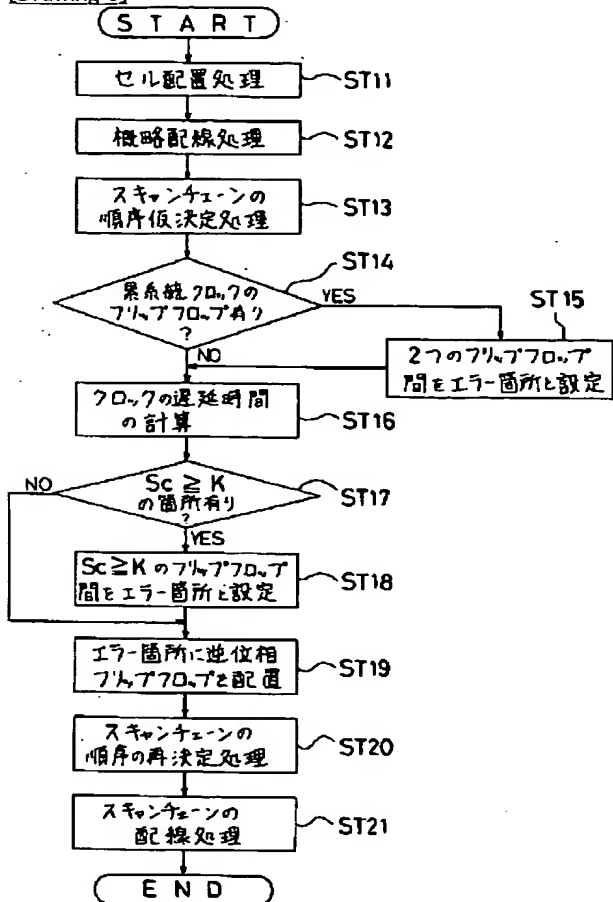


[Drawing 4]

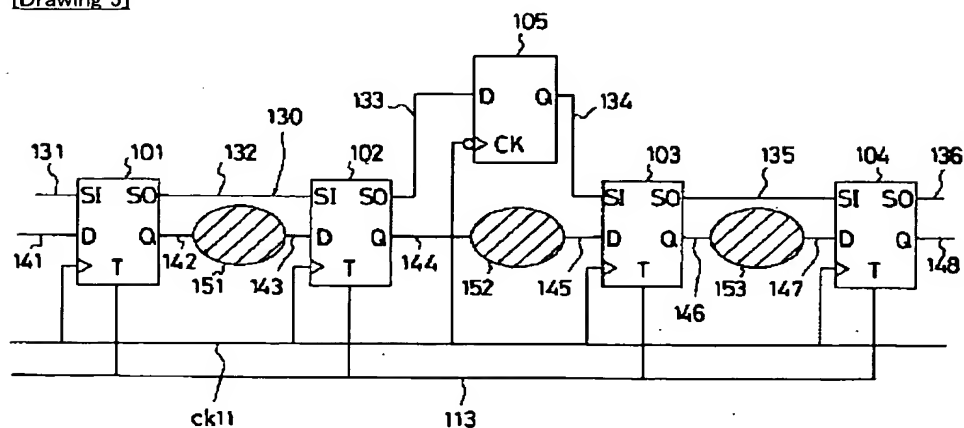




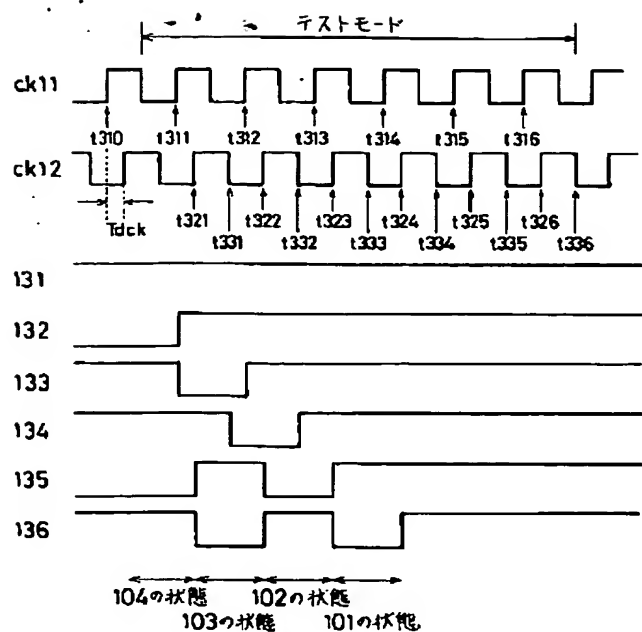
[Drawing 3]



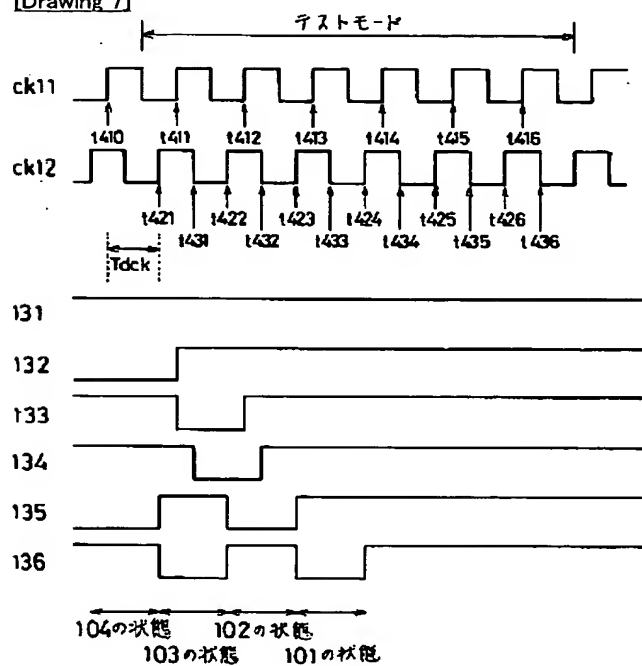
[Drawing 5]



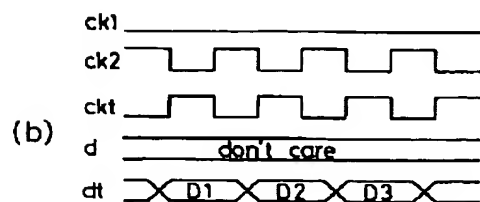
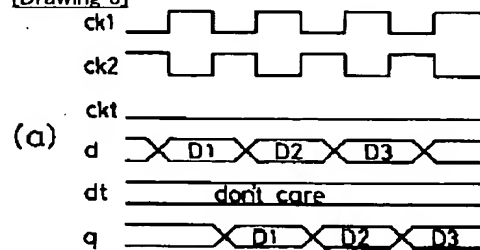
[Drawing 6]



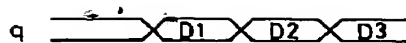
[Drawing 7]



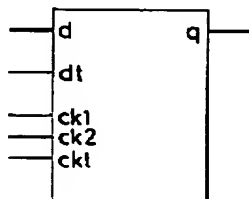
[Drawing 8]



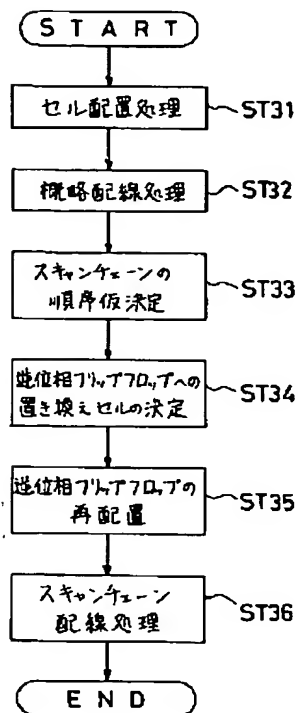




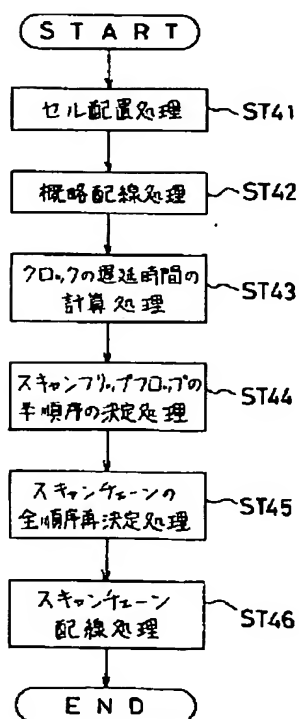
(c)



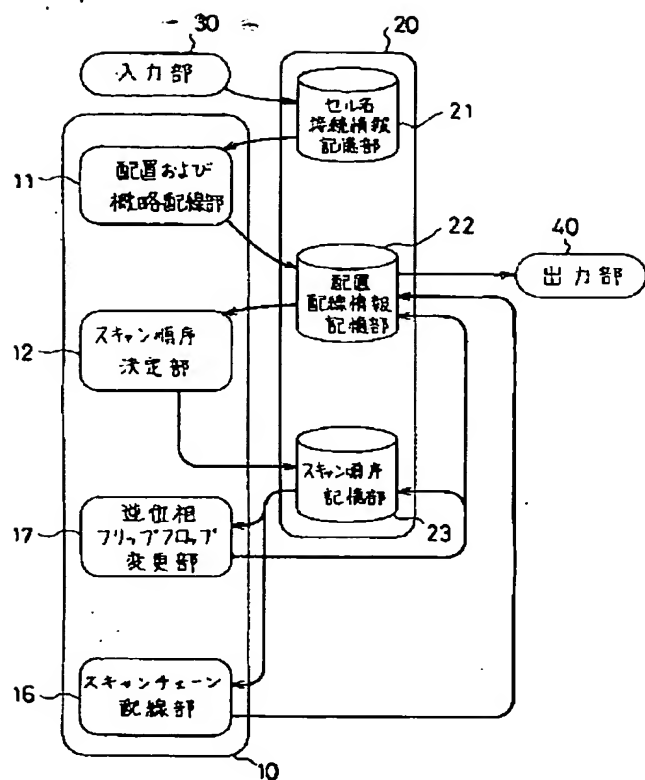
[Drawing 10]



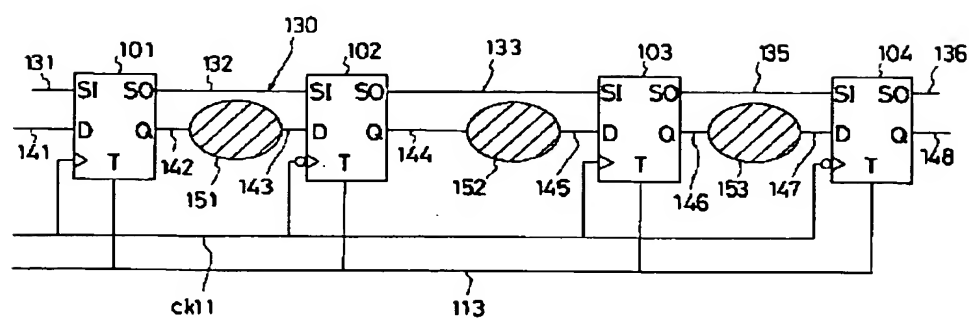
[Drawing 12]



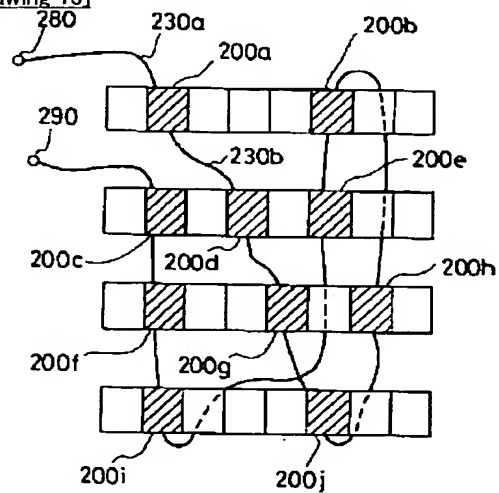
[Drawing 9]



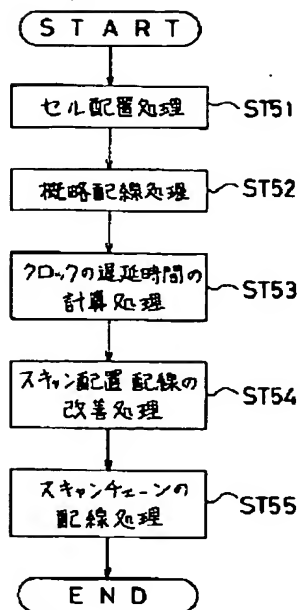
[Drawing 11]



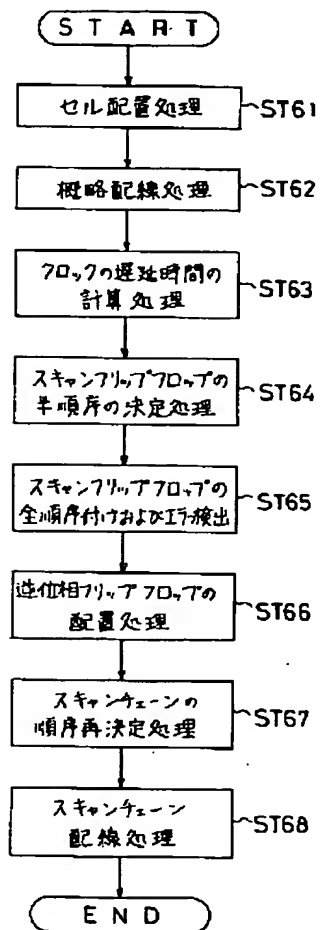
[Drawing 13]



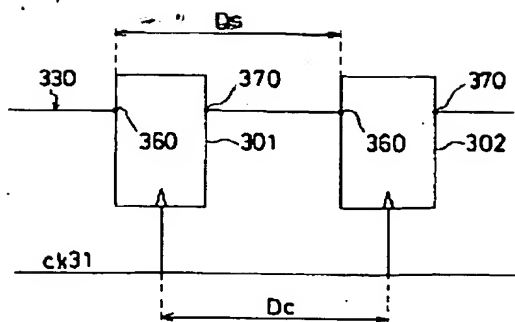
[Drawing 14]



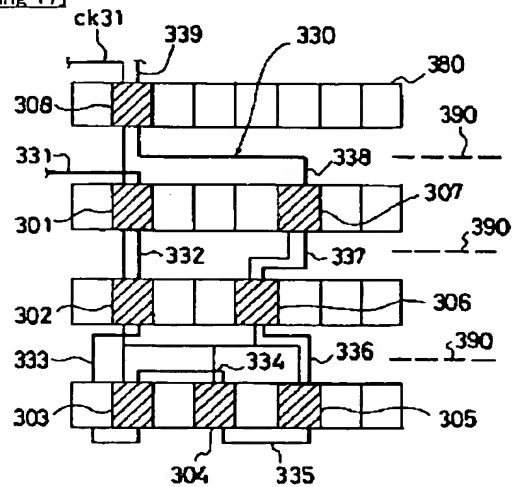
[Drawing 15]



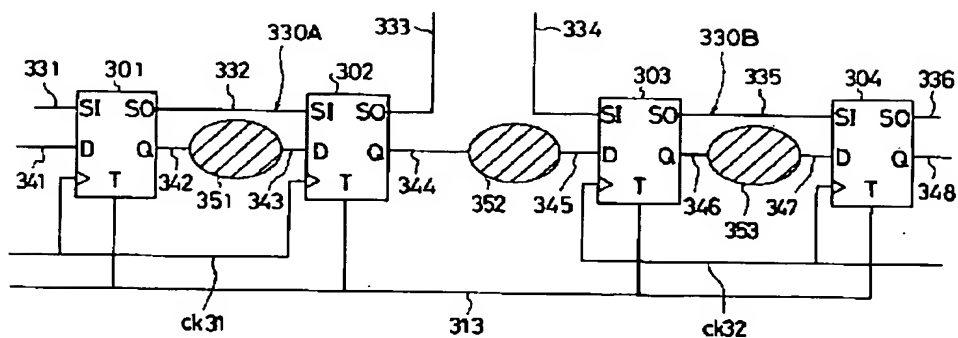
[Drawing 16]



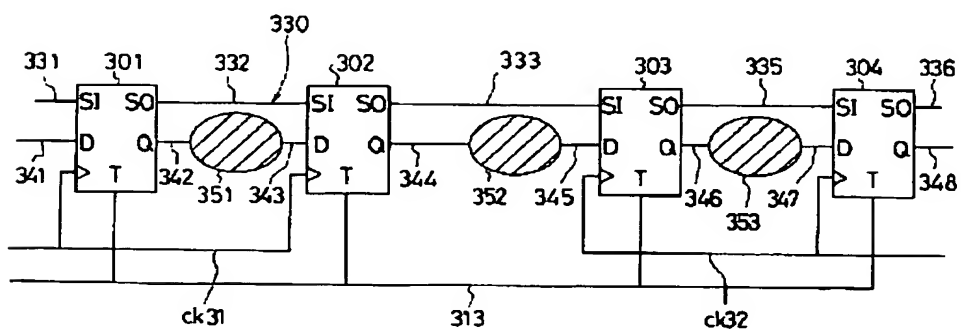
[Drawing 17]



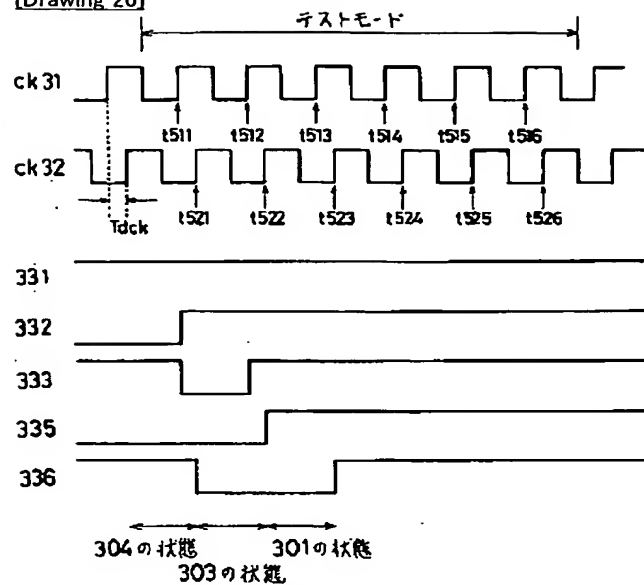
[Drawing 18]



[Drawing 19]



[Drawing 20]



[Translation done.]